Tutorial para realizar simulaciones en lenguaje VHDL utilizando ISE Project Navigator

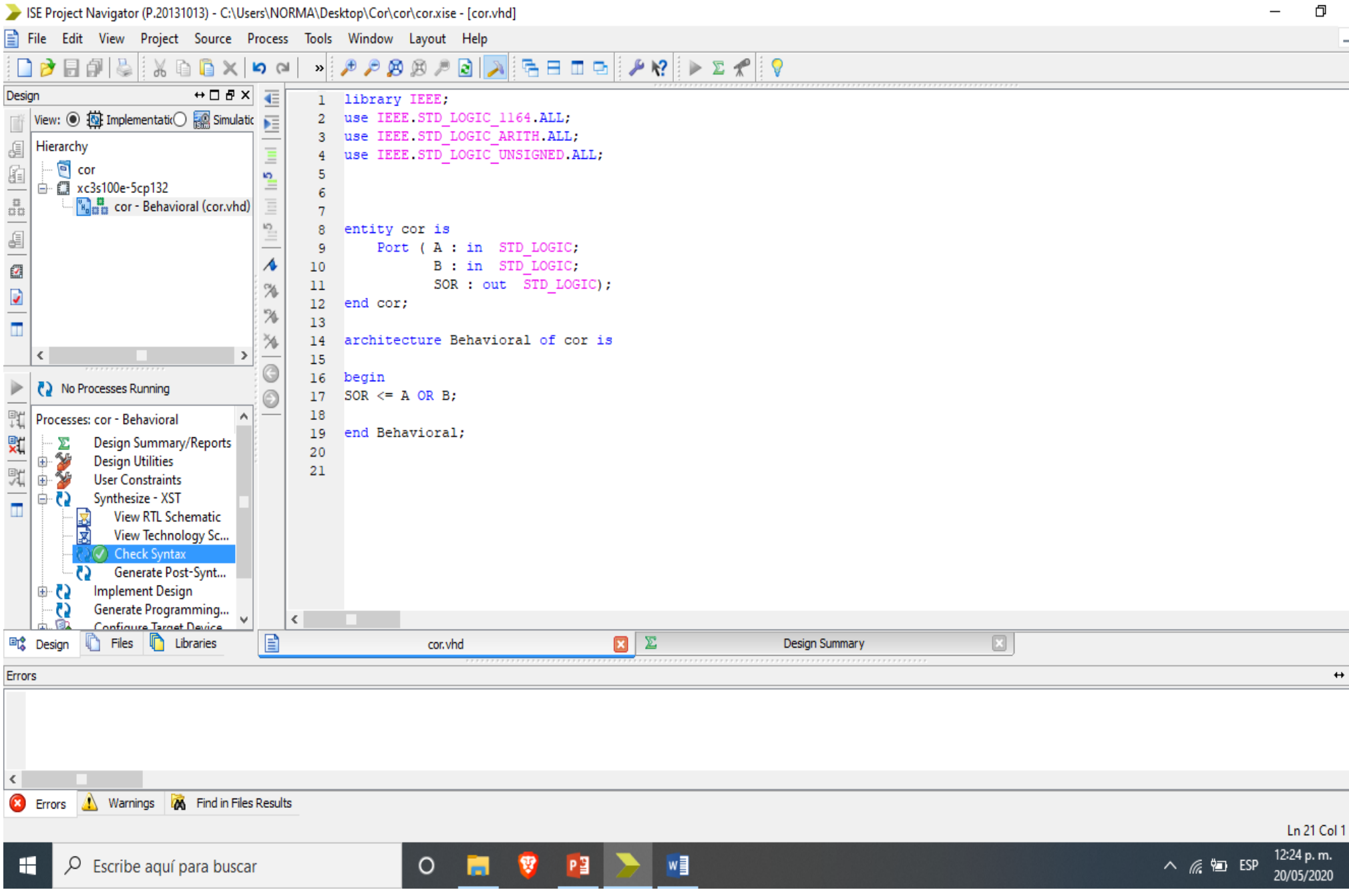
M.I. Norma Elva Chávez Rodríguez

Ejemplo1:
Simulación de combinacionales

a) Crear un proyecto en lenguaje VHDL, compilarlo y reparar los errores de sintaxis que se tenga.

b) Mostrar la simulación de la compuerta or.

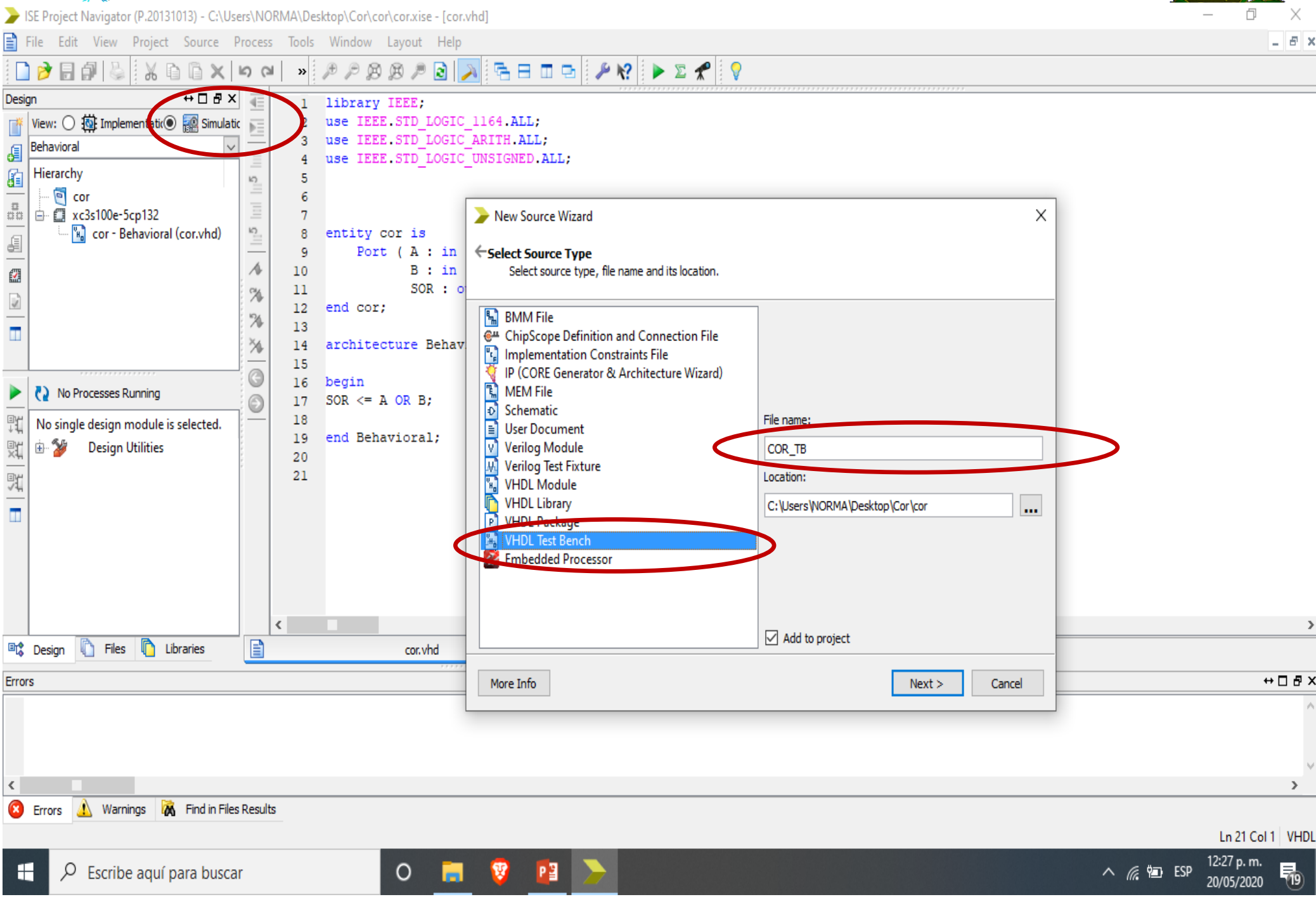
Compilación.



M.I. Norma Elva Chávez Rodríguez

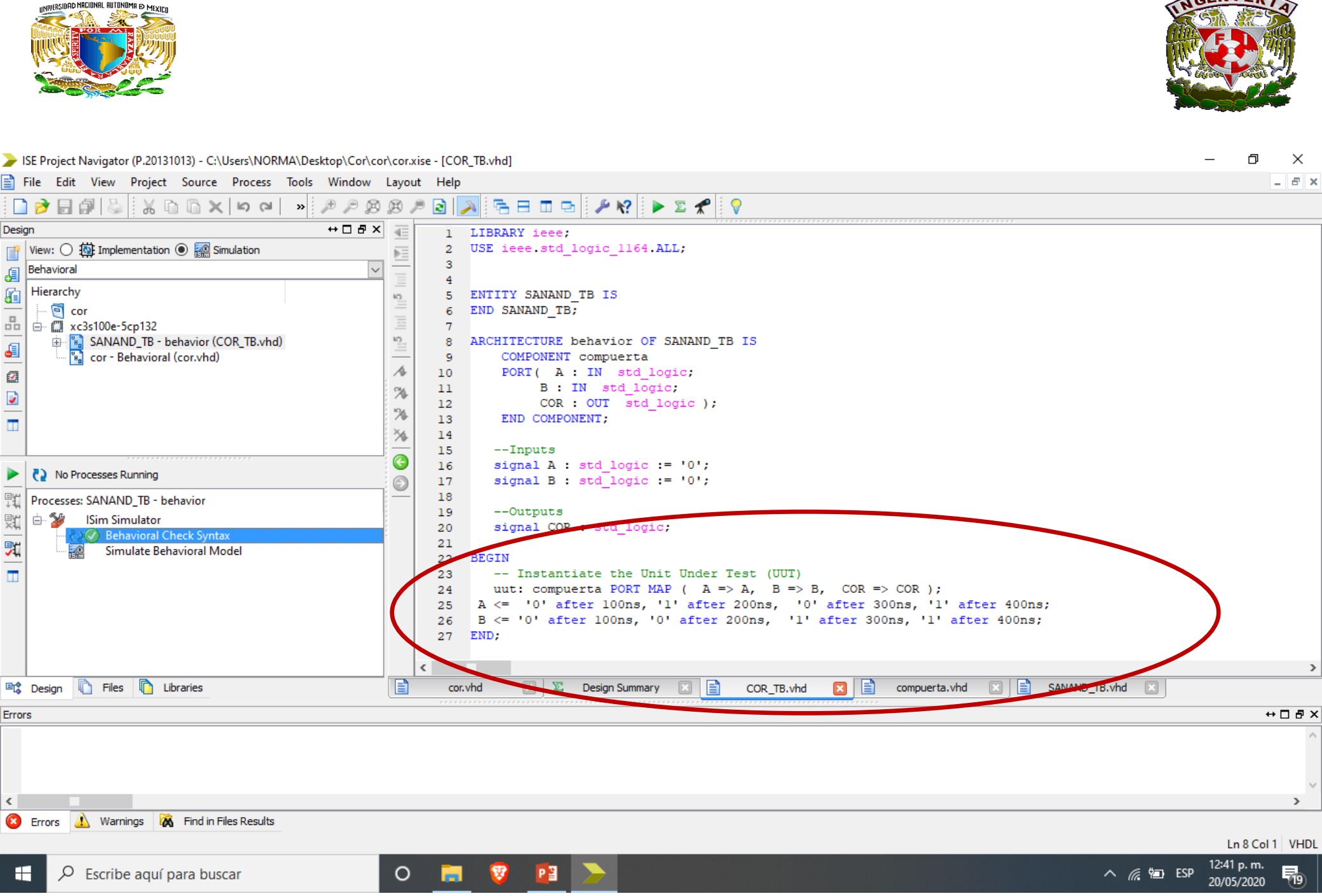
Crear un archivo de simulación y cambiar a modo simulación seleccionando VHDL test.

Poniendole nombre distinto al que tenemos en la entidad.


ISE Project Navigator (P.20131013) - C:\Users\NORMA\Desktop\Cor\cor\cor.xise - [cor.vhd]
File Edit View Project Source Process Tools Window Layout Help
Design
Behavioral
Hierarchy
cor
xc3s100e-5cp132
cor - Behavioral (cor.vhd)
No Processes Running
No single design module is selected.
Design Utilities
Design Files Libraries
cor.vhd
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity cor is
Port (A : in
B : in
SOR : o
end cor;
architecture Behav
begin
SOR <= A OR B;
end Behavioral;
New Source Wizard
Select Source Type
Select source type, file name and its location.
BMM File
ChipScope Definition and Connection File
Implementation Constraints File
IP (CORE Generator & Architecture Wizard)
MEM File
Schematic
User Document
Verilog Module
Verilog Test Fixture
VHDL Module
VHDL Library
VHDL Package
VHDL Test Bench
Embedded Processor
File name:
COR_TB
Location:
C:\Users\NORMA\Desktop\Cor\cor
Add to project
More Info
Next >
Cancel
Errors
Errors Warnings Find in Files Results
Ln 21 Col 1 VHDL
Escribe aquí para buscar
ESP
12:27 p. m.
20/05/2020

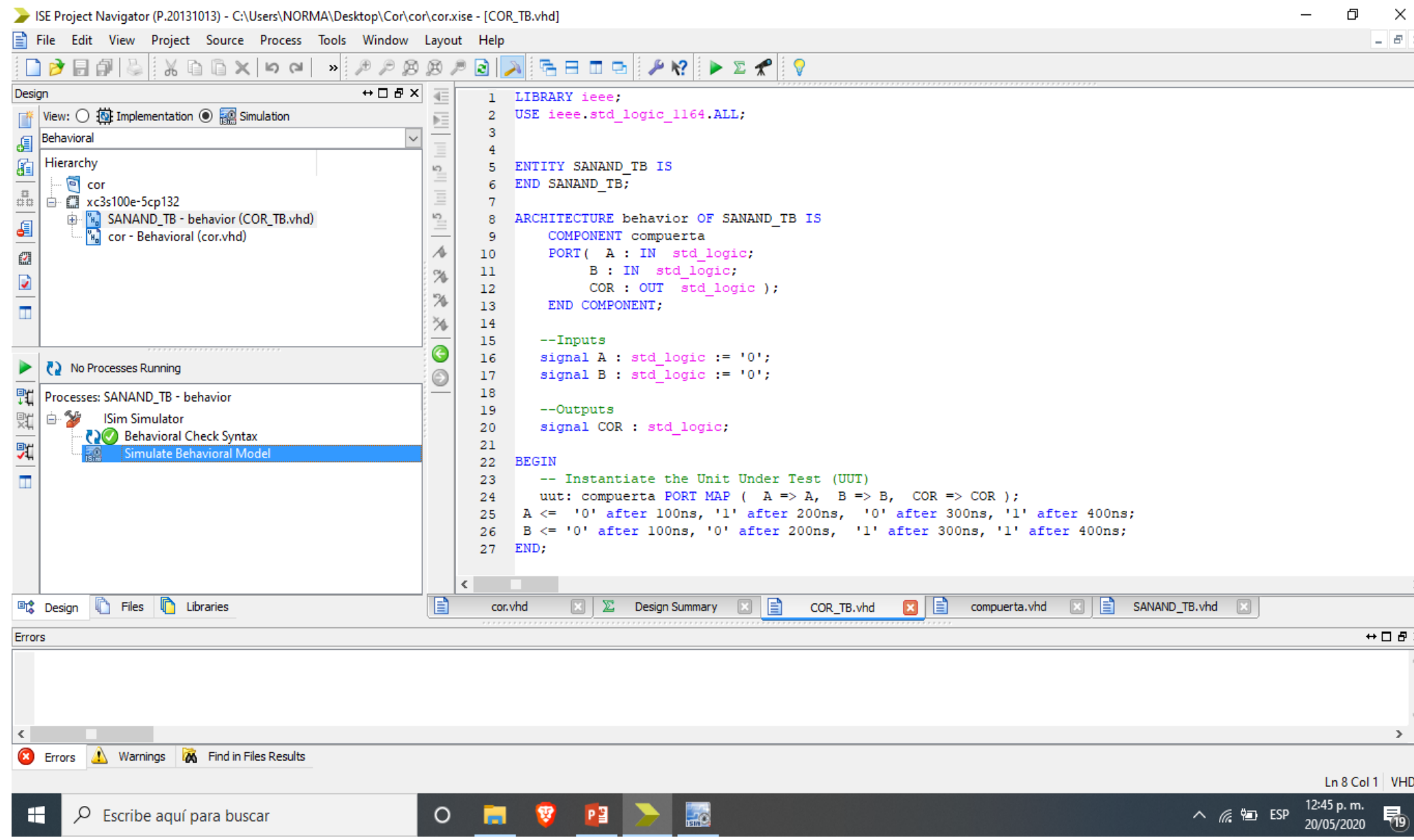
1.- Abrir el simulador, verificar sintaxis.

2.- Dar valores a las entradas en ciertos periodos de tiempo



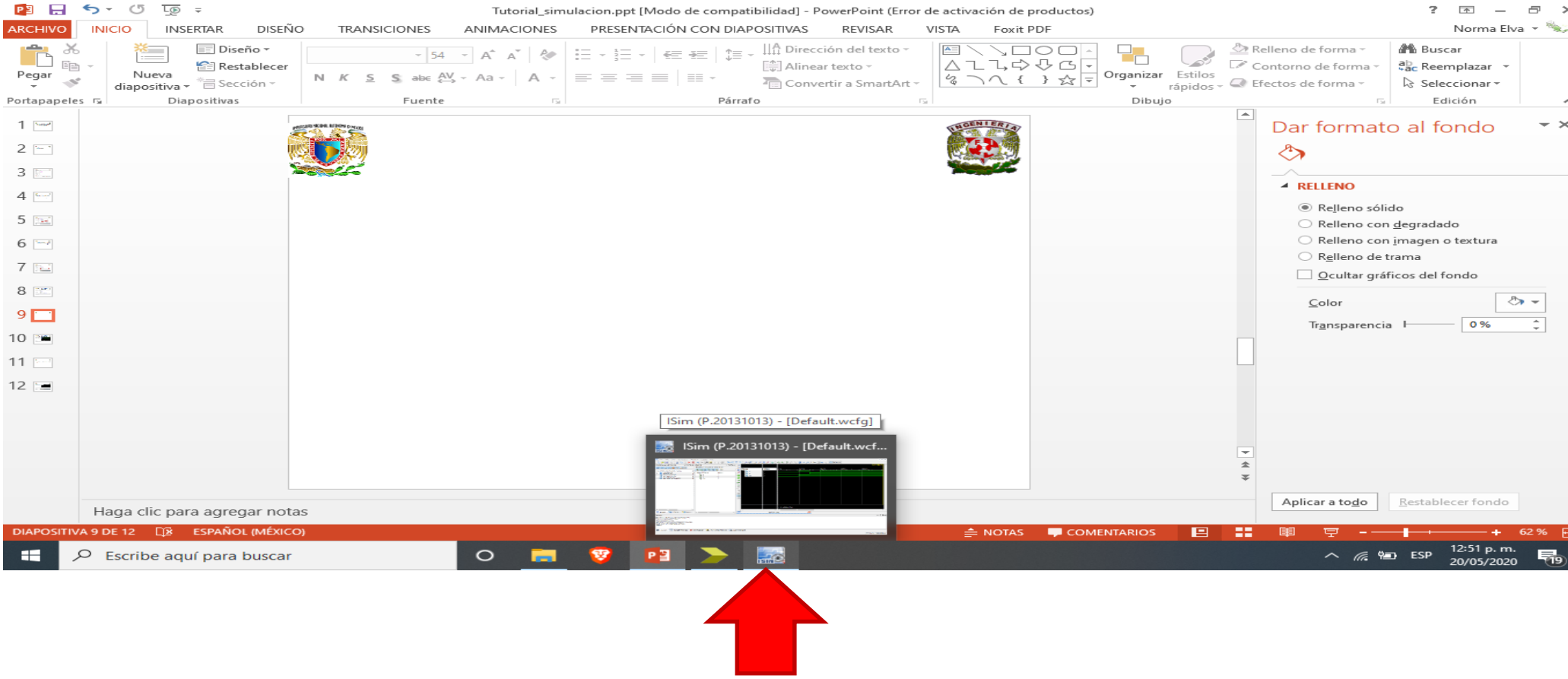
M.I. Norma Elva Chávez Rodríguez

Hacer click en el botón de simular



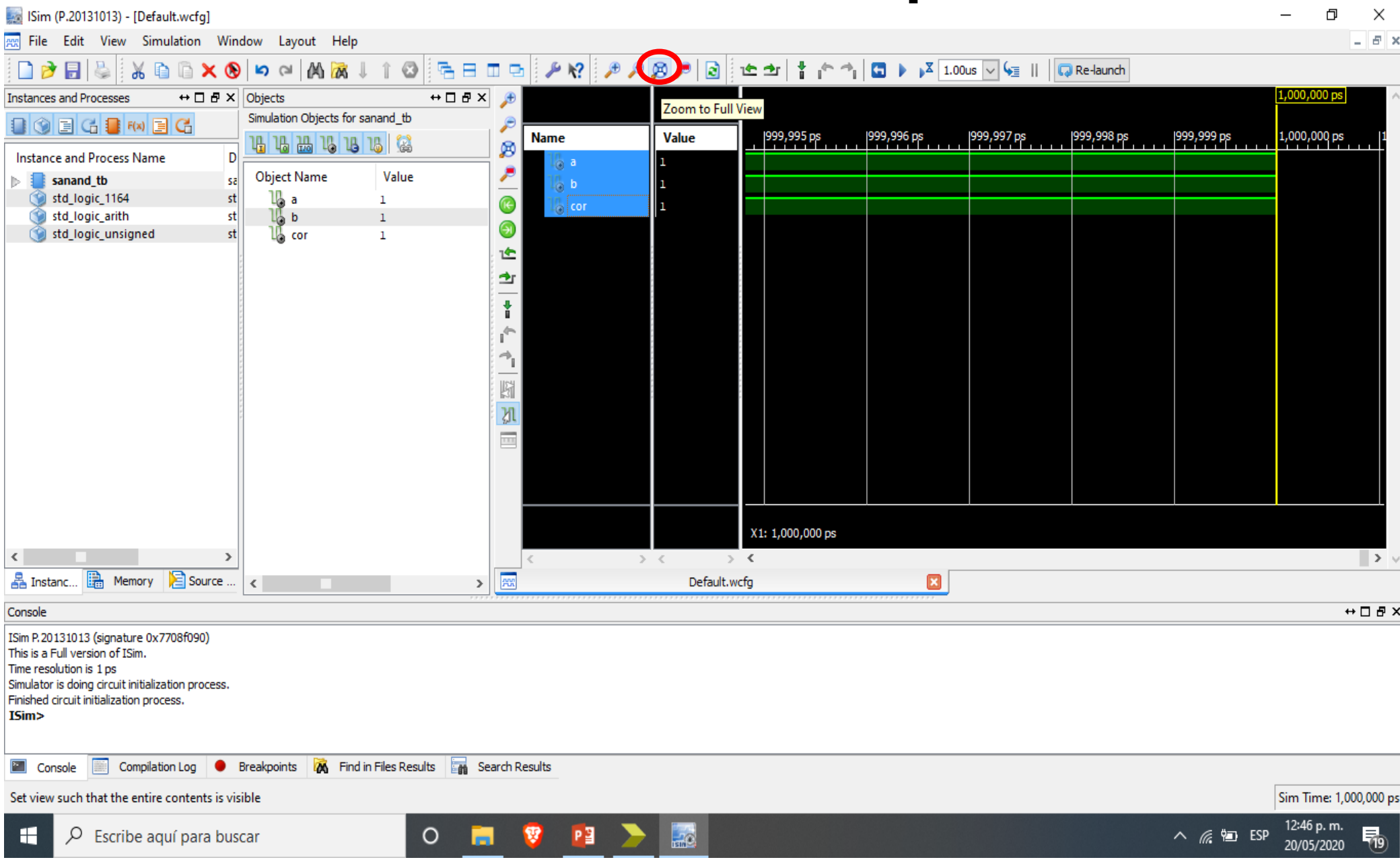
M.I. Norma Elva Chávez Rodríguez

Se genera una nueva ventana que se requiere abrir para analizar



M.I. Norma Elva Chávez Rodríguez

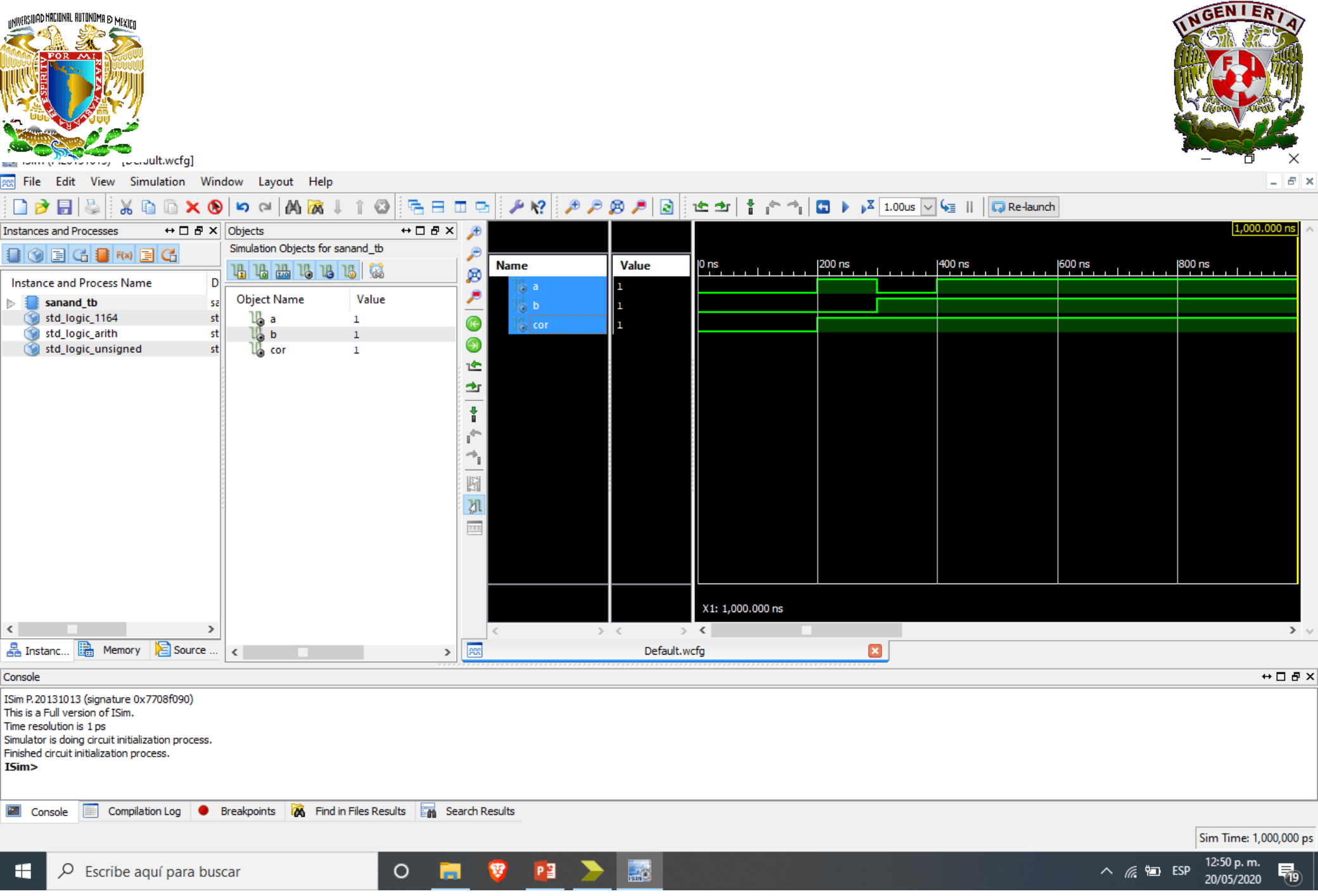
Hacer click en el botón de vista completa



M.I. Norma Elva Chávez Rodríguez

Analizar el comportamiento de la compuerta OR en el simulador

M.I. Norma Elva Chávez Rodríguez



M.I. Norma Elva Chávez Rodríguez

Ejemplo2:

Simulación de secuenciales.

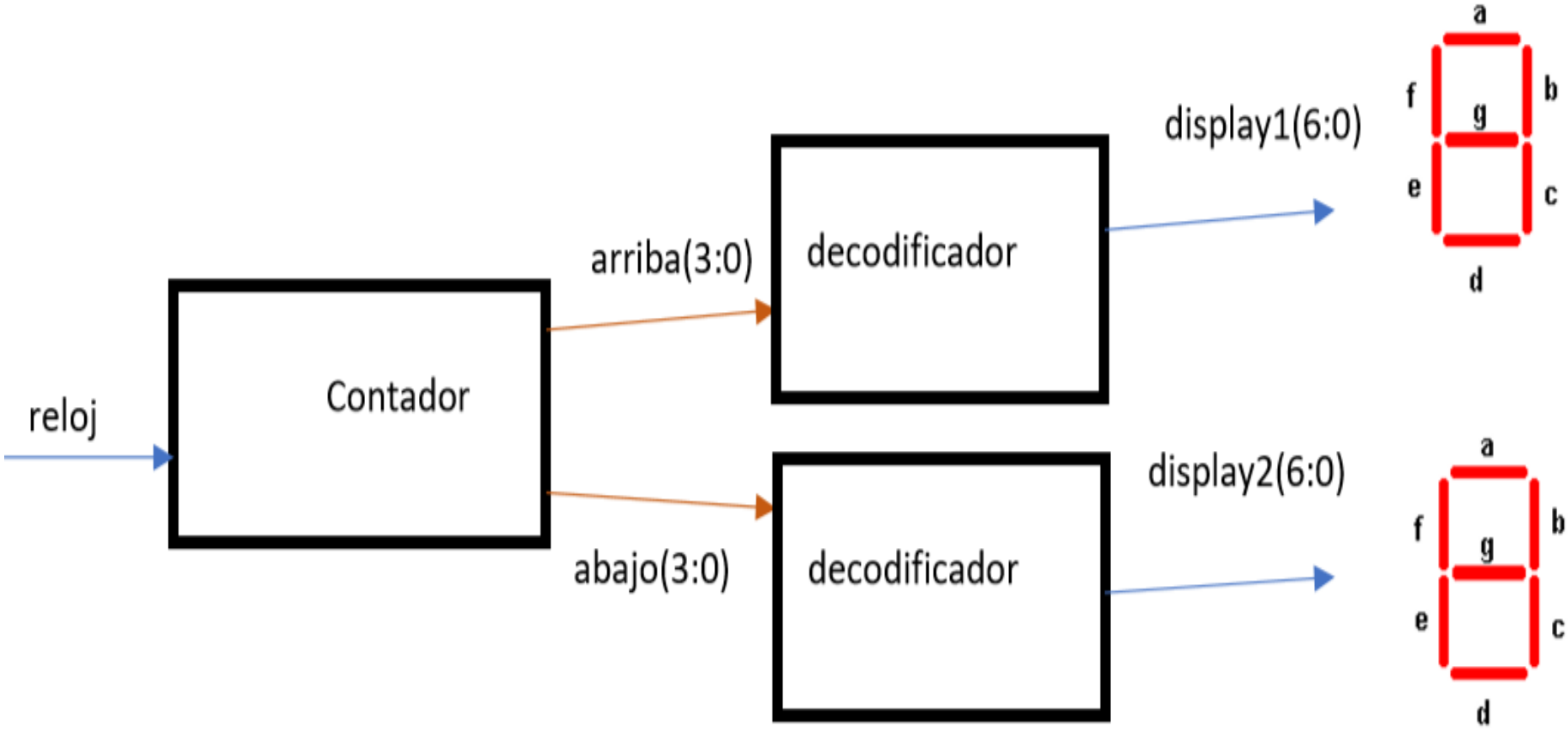
a) Crear un proyecto en lenguaje VHDL, compilarlo y reparar los errores de sintaxis que se tenga.

b) Mostrar la simulación de un sistema secuencial.

Especificaciones.

Simular la función de dos contadores, el primero deberá contar de 3 en 3, inicia en 0 y llega al 9, posteriormente resta de 3 en 3 hasta el 3 y vuelve a subir al 9, regresando al punto inicial en 0 y el segundo contador va del 0 al 8 y del 0 al 4. Este último iniciará en 4, seguirá en 4 un ciclo más, luego baja a 2, sube a 6, inicia en 0 y ahora desde 8 baja hasta el

Diagrama de bloques.



M.I. Norma Elva Chávez Rodríguez

Código en lenguaje VHDL.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
```

M.I. Norma Elva Chávez Rodríguez

Código en lenguaje VHDL.

```
entity contadores is
        Port ( CLK : in STD_LOGIC;
        display1,display2: out std_logic_vector(6 downto 0));
End contadores;
```

Entidad

M.I. Norma Elva Chávez Rodríguez

Código en lenguaje VHDL.

```
architecture Behavioral of contadores is
signal arriba : std_logic_vector(3 downto 0):= "0000";
signal abajo : std_logic_vector(3 downto 0):= "1001";
begin
cuentaArriba: process(CLK)
begin
        if (rising_edge(CLK)) then
            if arriba = "1000" then
              arriba <= "0000";
            else
              arriba <= arriba+1;
            end if; end if;

end process;
```

Arquitectura

M.I. Norma Elva Chávez Rodríguez

Código en lenguaje VHDL.

```
cuentaAbajo: process(CLK)
begin
        if (rising_edge(CLK)) then
            if abajo = "0000" then
              abajo <= "1001";
            else
              abajo <= abajo-1;
            end if; end if;

  end process;
```

Arquitectura

M.I. Norma Elva Chávez Rodríguez

Código en lenguaje VHDL.

```
with arriba select
        display1 <= "1000000" when "0000", --Para el valor de 0
                    "0110000" when "0001", --Para el valor de 3
                    "0000010" when "0010", --Para el valor de 6
                    "0010000" when "0011", --Para el valor de 9
                    "0000010" when "0100", --Para el valor de 6
                    "0110000" when "0101", --Para el valor de 3
                    "0000010" when "0110", --Para el valor de 6
                    "0010000" when "0111", --Para el valor de 9
                    "1000000" when others;
```

M.I. Norma Elva Chávez Rodríguez

Código en lenguaje VHDL.

```
with abajo select
        display2 <= "1000000" when "0000", --Para el valor de 0
                    "0100100" when "0001", --Para el valor de 2
                    "0011001" when "0010", --Para el valor de 4
                    "0000010" when "0011", --Para el valor de 6
                    "0000000" when "0100", --Para el valor de 8
                    "1000000" when "0101", --Para el valor de 0
                    "0000010" when "0110", --Para el valor de 2
                    "0100100" when "0111", --Para el valor de 4
                    "0011001" when others;

end behavioral;
```

M.I. Norma Elva Chávez Rodríguez

Código simulación.

```
LIBRARY ieee;

USE ieee.stc_logic_1164.ALL;


-- Uncomment the following library declaration if usirg

-- arithmetic functions with Signed or Unsigned values

--USE ieee.numeric_std.ALL;


ENTITY Contest IS

END Contes:;
```

M.I. Norma Elva Chávez Rodríguez

Código simulación.

```
ARCHITECTURE behavior OF Contest IS

   -- Component Declaration for the Unit Under Test (UUT)

   COMPONENT Contadores
   PORT(
      CLK : IN  std_logic;
      display1 : OUT  std_logic_vector(6 downto 0);
      display2 : OUT  std_logic_vector(6 downto 0)
     );
   END COMPONENT;
```

M.I. Norma Elva Chávez Rodríguez

Código simulación.

```
--Inputs
signal CLK: std_logic := '0';

        --Outputs

signal display1 : std_logic_vector(6 downto 0);
signal display2 : std_logic_vector(6 downto 0);
-- No clocks detected in port list. Replace <clock> below with
-- appropriate port name
```

M.I. Norma Elva Chávez Rodríguez

Código simulación.

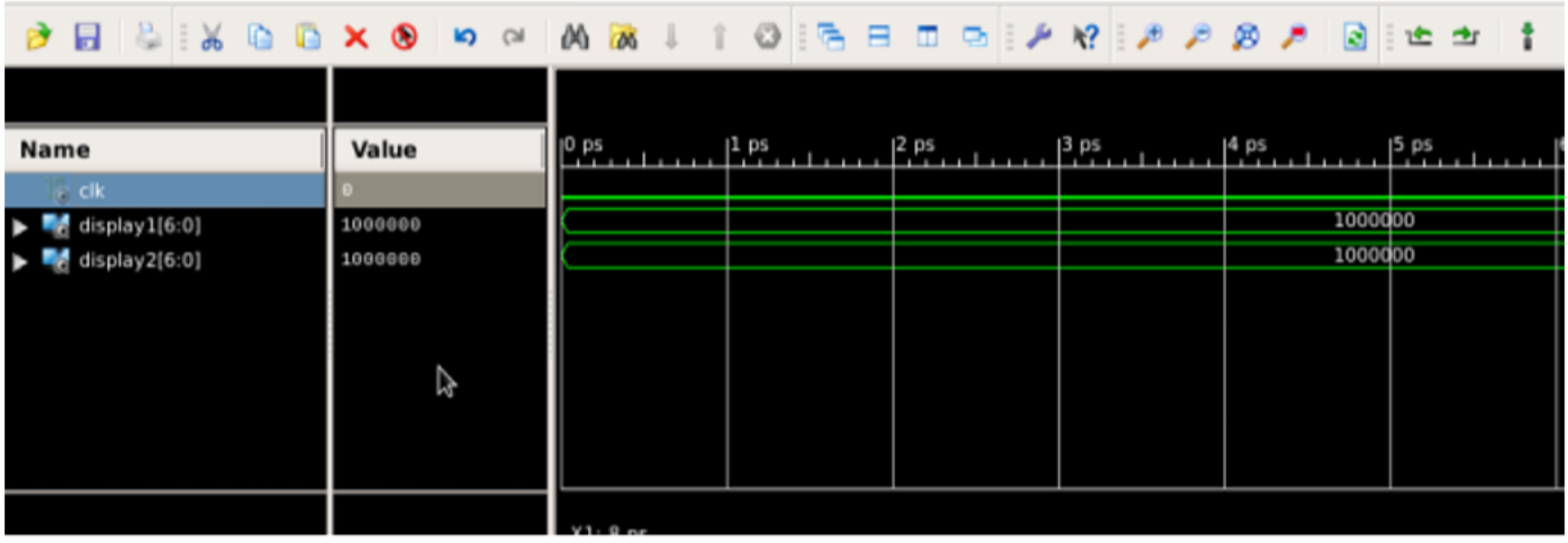
```
BEGIN


        -- Instantiate the Unit Under Test (UUT)
  uut: Contadores PORT MAP (
       CLK => CLK,
       display1 => display1,
       display2 => display2
      );

END;
```

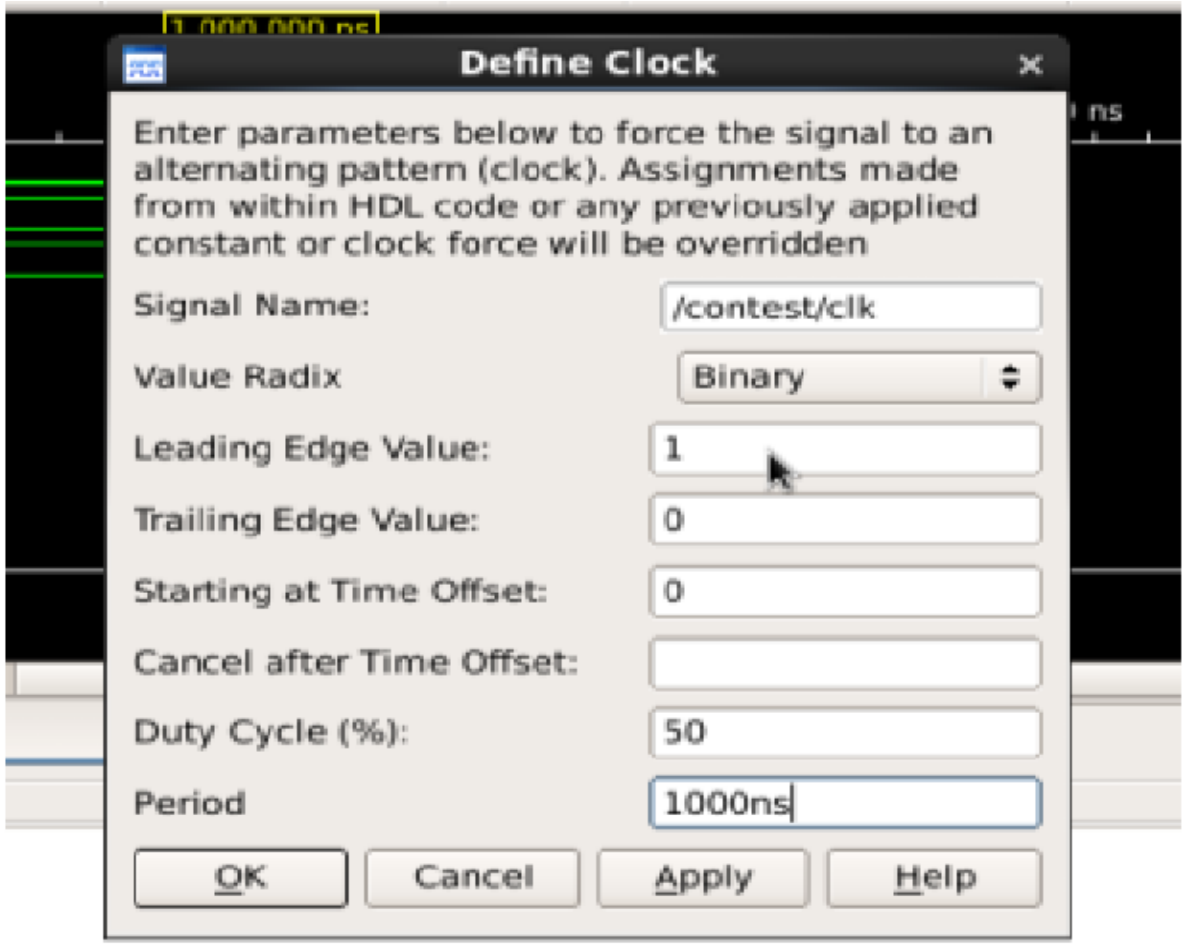
Diagrama de tiempos simulación.

Al iniciar la simulación nos muestra el primer término, debemos forzar al reloj “CLK”



M.I. Norma Elva Chávez Rodríguez

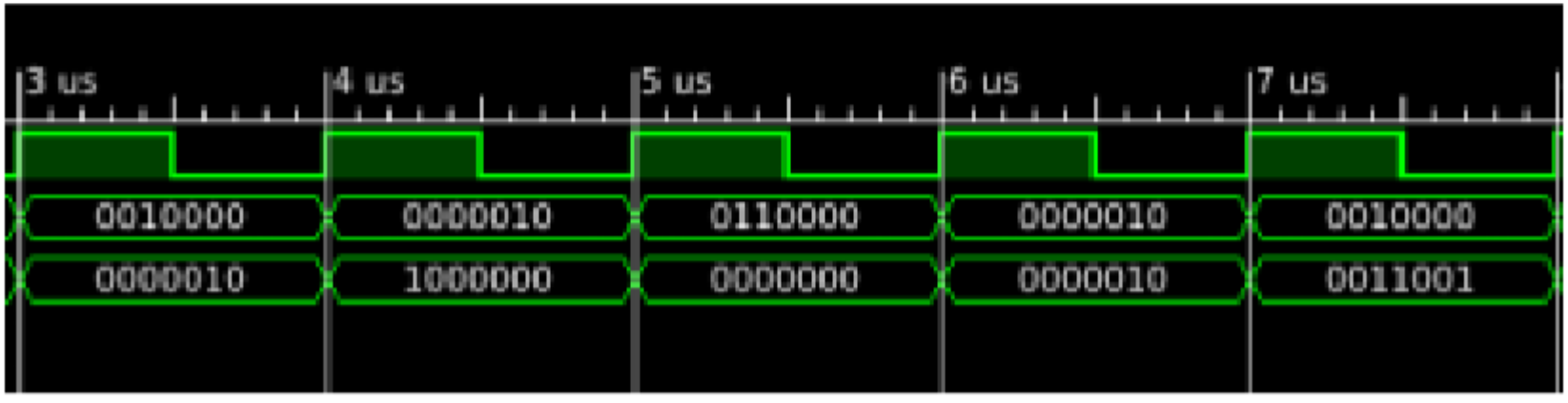
Diagrama de tiempos simulación.



M.I. Norma Elva Chávez Rodríguez

Diagrama de tiempos simulación.

Hacemos que el reloj vaya de ‘0’ a ‘1’ para activar los contadores, y el periodo que tendrá será igual al inicial (1000ns)



M.I. Norma Elva Chávez Rodríguez

Diagrama de tiempos simulación.

M.I. Norma Elva Chávez Rodríguez

Diagrama de tiempos simulación.

M.I. Norma Elva Chávez Rodríguez