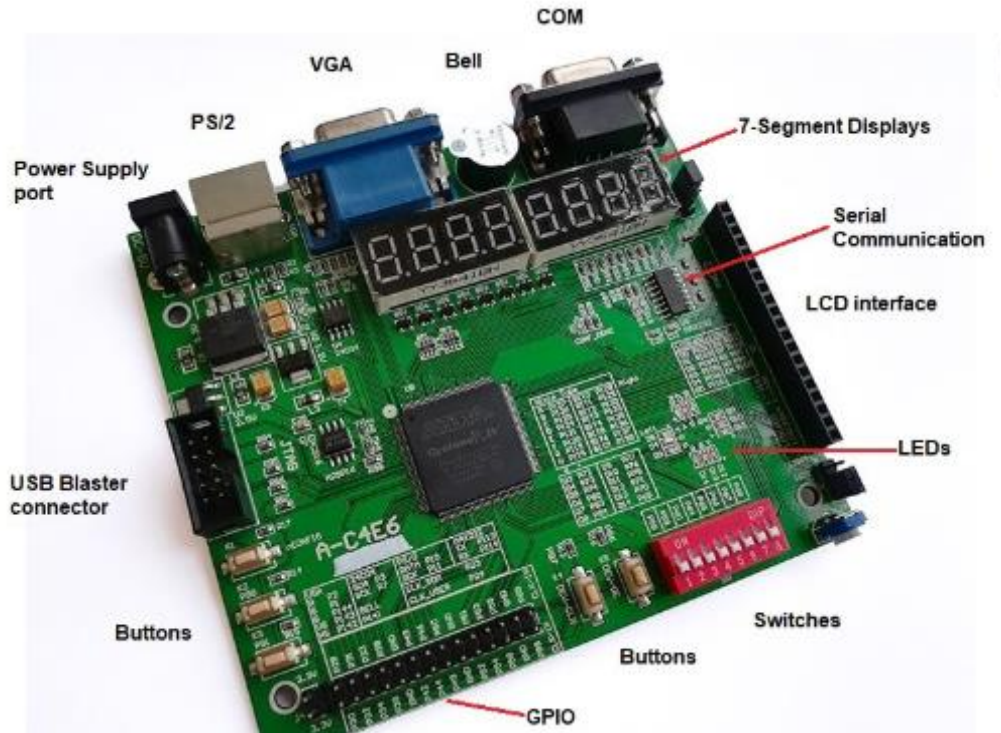


**PLATAFORMA
DE DISEÑO
Quartus II
(Cyclone IV FPGA, A-C4E6)**

Tutorial para trabajar en la tarjeta Cyclone IV FPGA, A-C4E6:

La siguiente figura muestra los elementos más importantes de los que consta



1 HERRAMIENTAS DE DISEÑO “QUARTUS”

La plataforma QUARTUS integra herramientas de desarrollo necesarias para procesar diseños en forma amigable e incluso manejar proyectos jerárquicos. También cuenta con métodos poderosos de síntesis lógica, compilación, partición, simulación funcional, simulación en tiempo y simulación enlazada con varios dispositivos.

Para el manejo de esta plataforma se requiere introducir un diseño, sintetizarlo y finalmente configurarlo y grabarlo en el dispositivo seleccionado; sin embargo, es recomendable, antes de crear el diseño, que éste se simule y se analice en el tiempo.

2 PROYECTO

Un proyecto contiene todos los archivos de la jerarquía de un diseño. Los módulos que contenga un proyecto son llamados fuentes. La plataforma QUARTUS realiza la compilación, síntesis, simulación, análisis en el tiempo y programación de un dispositivo en un solo proyecto. Para compilar un proyecto con archivos independientes se debe especificar, primero, qué archivo se desea compilar.

3 INTRODUCCIÓN DEL DISEÑO

Introducir un diseño significa el proceso de describir la arquitectura del diseño, utilizando algún método que sea soportado por QUARTUS. La selección del dispositivo a utilizar se hace en el momento de introducir el diseño a esta plataforma. Existen muchos métodos para introducir un diseño; sin embargo, algunas reglas simples a seguir son las siguientes:

- La captura de cualquier esquemático se efectúa en el editor gráfico.
- La captura de diagramas de estado se efectúa en el editor gráfico.
- La captura de diseños hechos en lenguaje de descripción AHDL se efectúa en el editor de texto.
- La captura de diseños hechos en lenguaje de descripción VHDL se efectúa en el editor de texto.
- La captura de diseños hechos en lenguaje de descripción Verilog-HDL se efectúa en el editor de texto.
- La captura de diseños hechos en forma de vectores se efectúa en el editor de forma de onda.
- La captura de archivos generados en Edit y netlist que son diseños hechos con herramientas EDA de otras industrias se efectúa en el editor de texto.

4 SÍNTESIS DEL DISEÑO

Sintetizar un diseño significa traducirlo a código creador de hardware. Para sintetizar un proyecto se requiere compilarlo. Compilar un diseño significa evaluar el manejo correcto de la sintaxis necesaria para la creación de hardware. Puede darse el caso de que un diseño sea compilado exitosamente y sin embargo no sea sintetizable debido a que la plataforma QUARTUS no tenga los constructores necesarios para alguna instrucción de dicho diseño.

Después de sintetizar el diseño se requiere hacer una asignación a los pines de entrada y salida.

5 CONFIGURACIÓN O PROGRAMACIÓN DEL DISEÑO

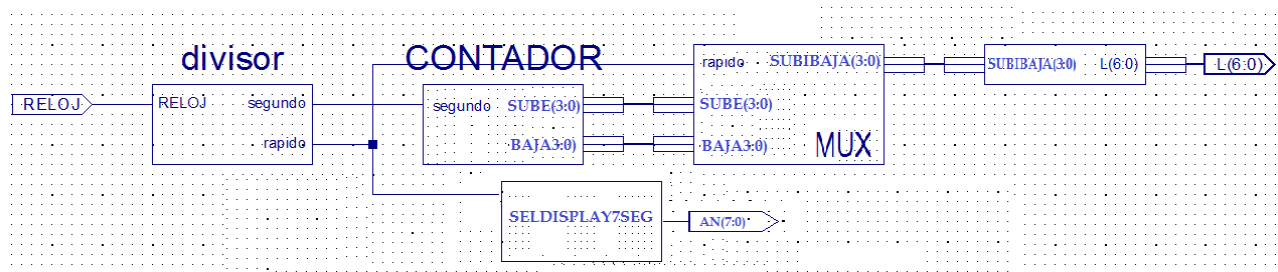
Después de sintetizar cualquier diseño, éste queda listo para programarse en un CPLD o para configurarse en un FPGA, utilizando el cable JTAG.

6 ESPECIFICACIONES DE UN PROYECTO

Se requiere el diseño y construcción de dos contadores, que trabajen al mismo tiempo, uno que cuente del cero al nueve y el otro del nueve al cero para reiniciar.

7 Diagrama de bloques del proyecto

Mediante el diagrama de bloques se analizan entradas, salidas y señales que se tienen en el proyecto.



Análisis:

Entradas: Reloj

Salidas: L (6:0), An (7:0)

Señales: segundo, rápido, sube (3:0), baja (3:0), subibaja (3:0).

Nota:

Las entradas y las salidas se declaran en la entidad y las señales en la arquitectura antes de su begin.

8 CREACIÓN DE UN PROYECTO

Primero se crea una carpeta en donde se tendrán todos los archivos generados durante el desarrollo del proyecto.

Posteriormente, se abre la plataforma de Quartus II. Versión 13. Esta acción inicia la ejecución del entorno de desarrollo de la plataforma QuartusII, que permite acceder a los recursos y procesos de la plataforma. La figura 1 muestra el menú principal del entorno de desarrollo.

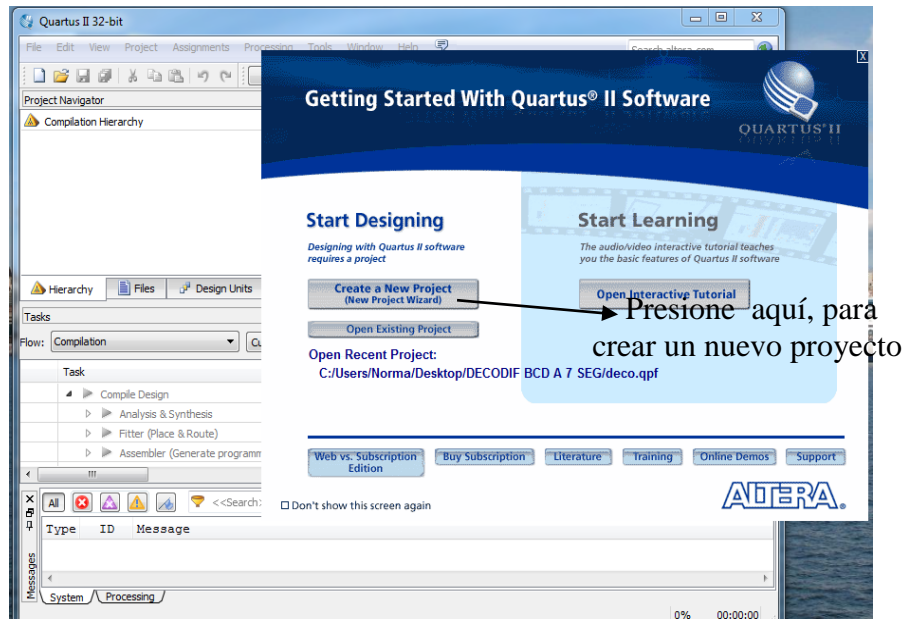


Figura 1. Menú inicial del entorno de desarrollo QuartusII

Para crear un nuevo proyecto se requiere de las acciones listadas a continuación:

- En la opción “Create a new project” del menú inicial, seleccione “Next”. Al hacer esto aparece una ventana de ayuda para introducir la localización del proyecto y el nombre, tal como se muestra en la figura 2 posteriormente seleccione “Next”.
- Al proyecto se le llamará “contador”.
- Si ya tiene hecho el VHDL, busque y abra ese archivo Presione la opción “Add”.
- Presione la opción “Next”.

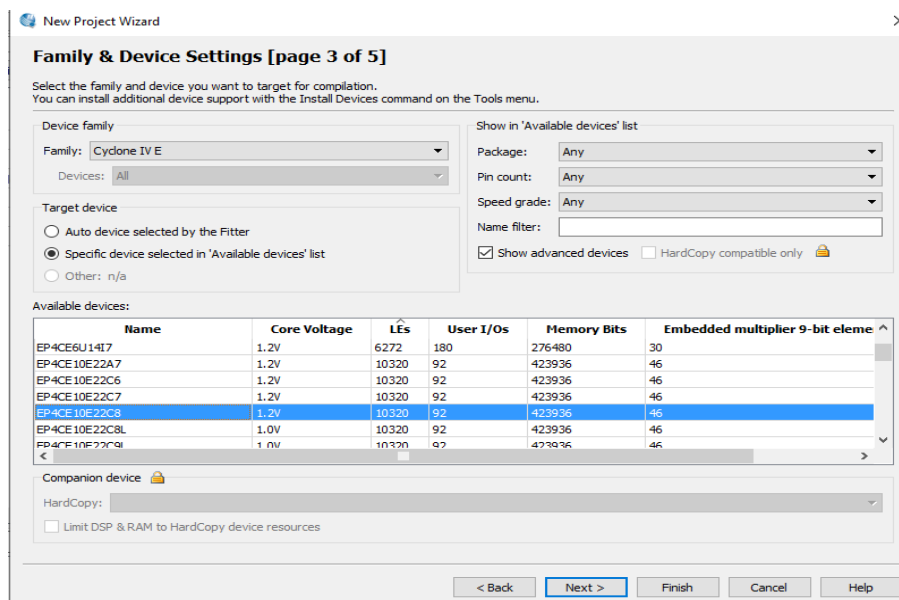


Figura 2. Creación de un nuevo proyecto.

En la página de propiedades del proyecto se requiere escribir los datos del dispositivo que se desee utilizar.

Device Family: Cyclone IV E
 Device: EP4CE10E22C8

La tabla de propiedades del proyecto aparece como se muestra en la figura 3:

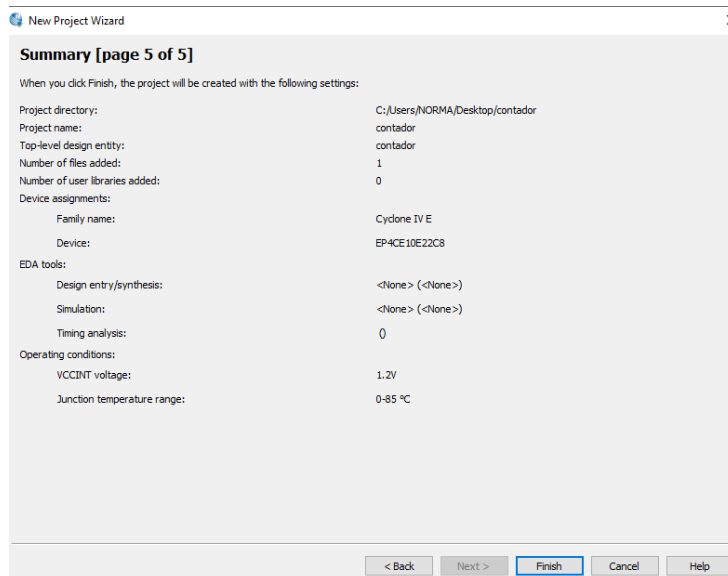


Figura .3. Tabla de propiedades del proyecto

Creación del código en VHDL su análisis y síntesis

Una vez que se introducen los datos solicitados en la página de propiedades, se requiere la creación del módulo; por lo que se presiona la opción “Finish”, para que aparezca otra ventana en la que se debe presionar “File”-“New”-“VHDL file”, para escribir el código del proyecto, tal como lo muestra la figura 4.

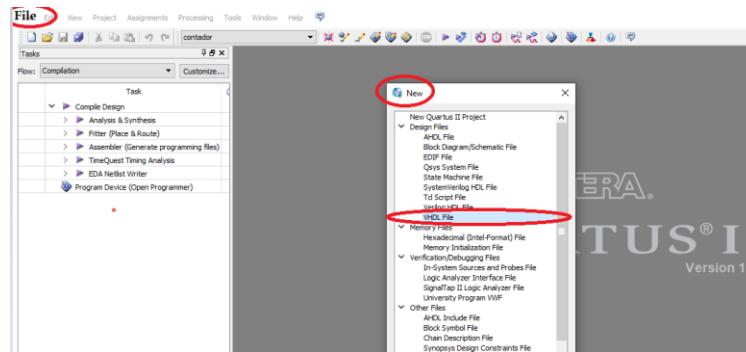


Figura 4. Selección, escritura y compilación del archivo que se desea crear.

Una vez escrito el código, se debe compilar presionando el botón flecha de la barra superior, ver figura 5.

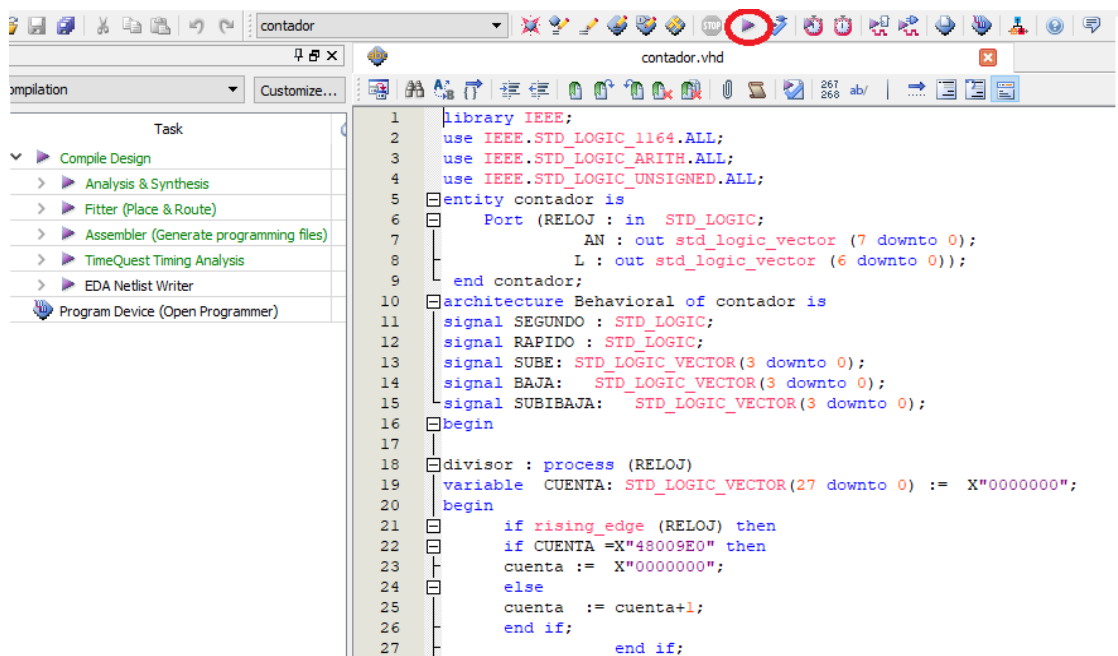


Figura 5. Compilación del proyecto.

Deberá aparecer una ventana indicando que no existen errores, para poder continuar. Ver figura 6

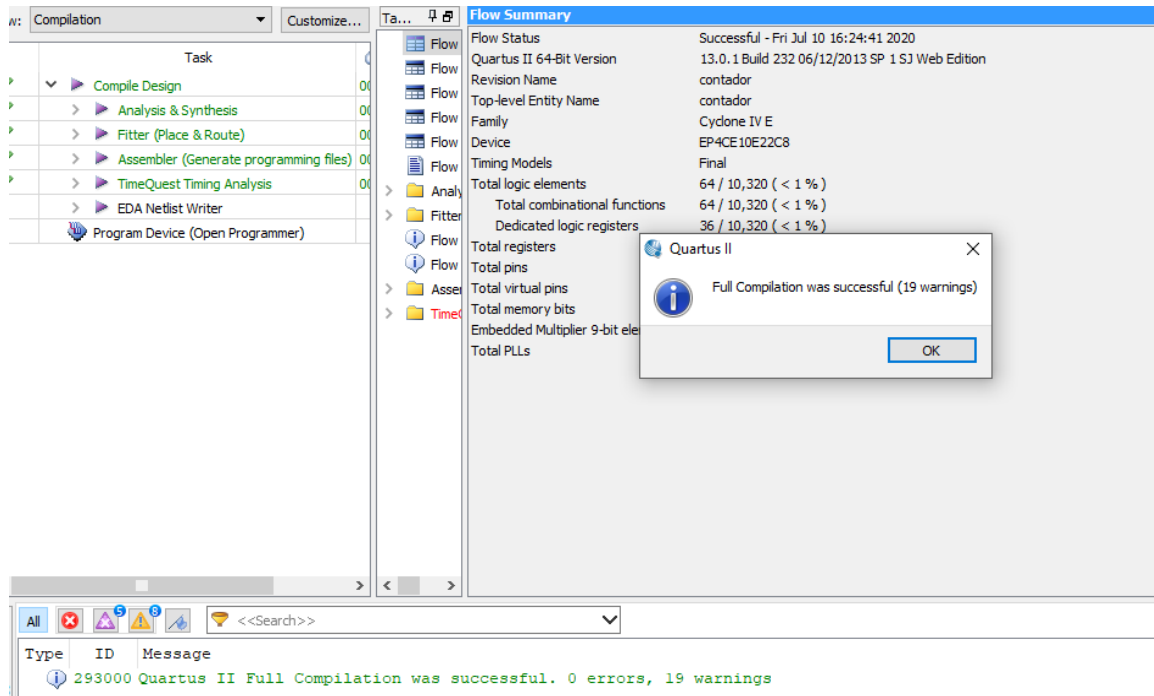


Figura 6. Compilación sin errores del proyecto.

El siguiente paso será abrir la ventana que permite definir los puertos de entradas y salidas del diseño en VHDL, para ello se oprime el botón “Pin Planner”, como se muestra en la figura 7.

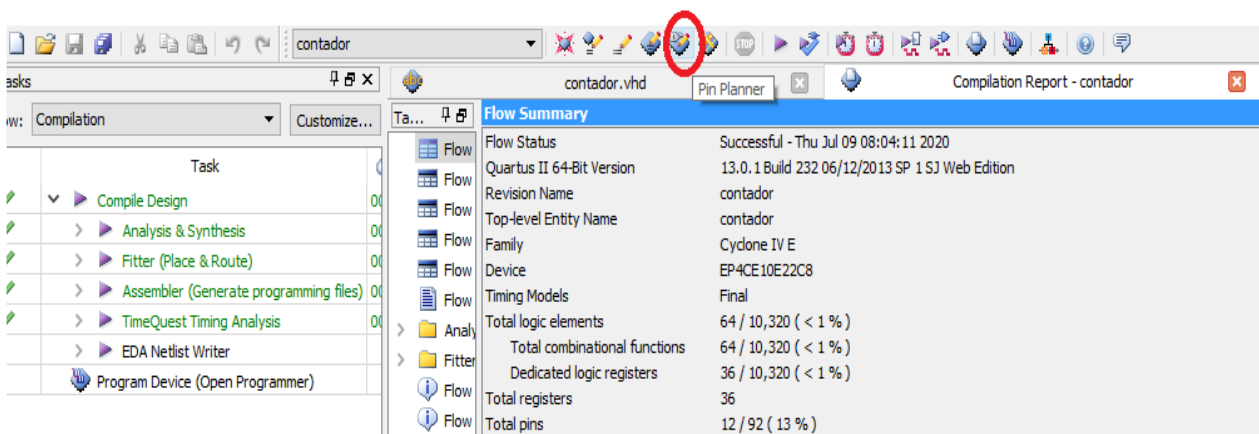


Figura 7. Acceso al Pin Planner Editor.

Aparecerá la ventana que se muestra en la figura 8 y en la columna “location” se deben anotar los pines que se asignará en el FPGA correspondiente a cada una de las salidas y de las entradas del proyecto.

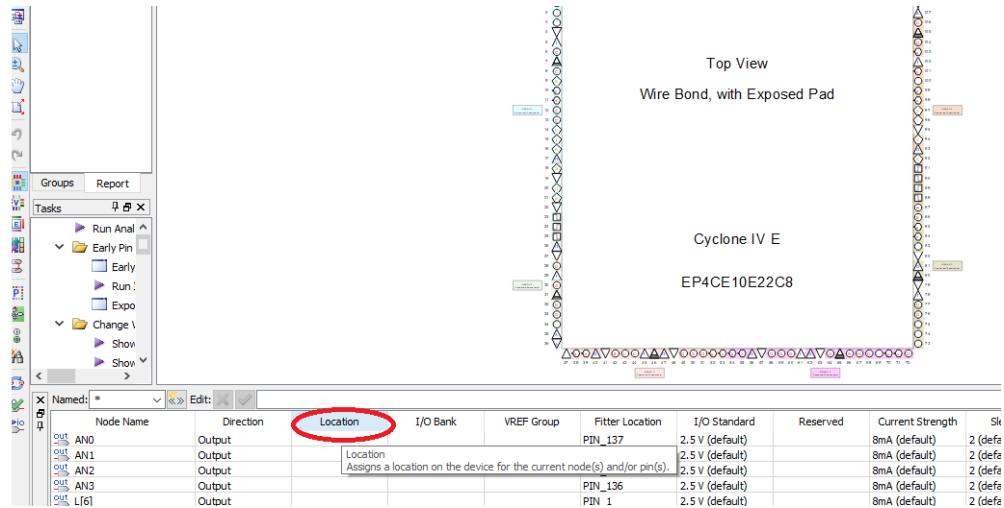
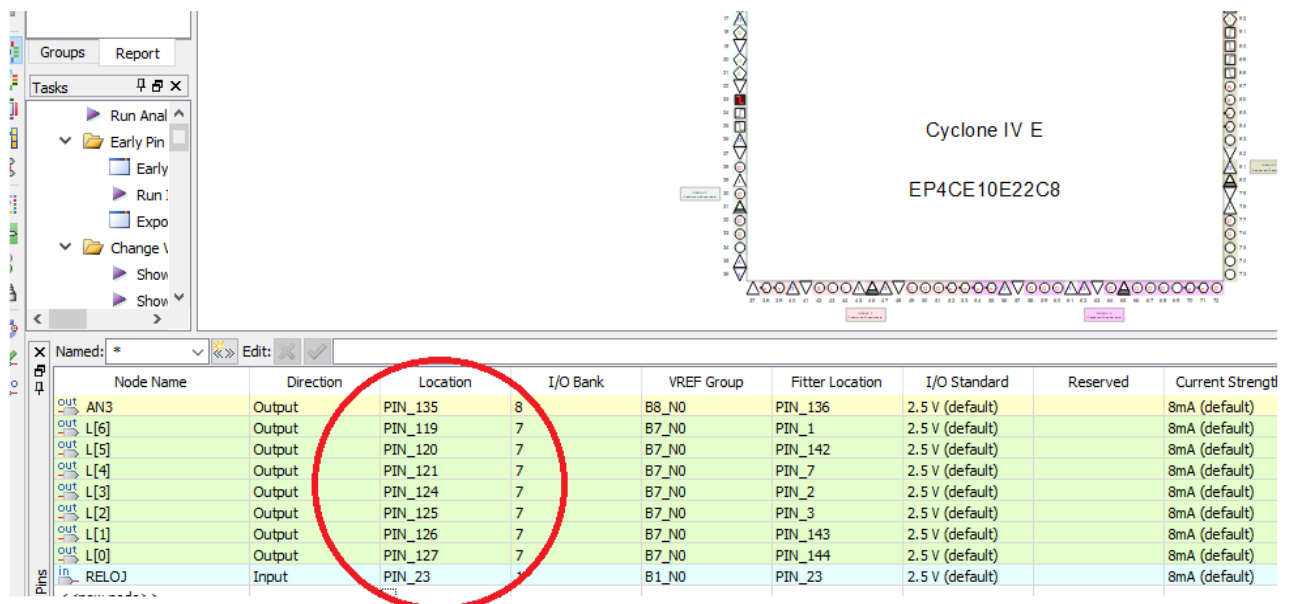


Figura.8. Pin Planner Editor

La información de los pines más utilizados es:

BELL	PIN_141				
CLK 50M	PIN_23	LED_D3	PIN_72	7 Seg, Lds	Enable 7 seg
swith_1	PIN_58	LED_D4	PIN_73	LED_A	PIN_127 LED_BIT0 PIN_128 right
swith_2	PIN_59	LED_D5	PIN_74	LED_B	PIN_126 LED_BIT1 PIN_129
swith_3	PIN_60	LED_D6	PIN_80	LED_C	PIN_125 LED_BIT2 PIN_132
swith_4	PIN_64	LED_D7	PIN_83	LED_D	PIN_124 LED_BIT3 PIN_133
swith_5	PIN_65	LED_D8	PIN_84	LED_E	PIN_121 LED_BIT4 PIN_135
swith_6	PIN_66	LED_D9	PIN_77	LED_F	PIN_120 LED_BIT5 PIN_136
swith_7	PIN_67	LED_D10	PIN_76	LED_G	PIN_119 LED_BIT6 PIN_137
swith_8	PIN_68	LED_D11	PIN_75	LED_H	PIN_115 LED_BIT7 PIN_138 left
		LED_D12	PIN_71		
		LED_D13	PIN_70		
		LED_D14	PIN_69		

Una vez que se anotaron los pines de entradas y de salidas como se muestra en la figura 9, se salva y cierra esa ventana.



Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength
AN3	Output	PIN_135	8	B8_NO	PIN_136	2.5 V (default)		8mA (default)
L[6]	Output	PIN_119	7	B7_NO	PIN_1	2.5 V (default)		8mA (default)
L[5]	Output	PIN_120	7	B7_NO	PIN_142	2.5 V (default)		8mA (default)
L[4]	Output	PIN_121	7	B7_NO	PIN_7	2.5 V (default)		8mA (default)
L[3]	Output	PIN_124	7	B7_NO	PIN_2	2.5 V (default)		8mA (default)
L[2]	Output	PIN_125	7	B7_NO	PIN_3	2.5 V (default)		8mA (default)
L[1]	Output	PIN_126	7	B7_NO	PIN_143	2.5 V (default)		8mA (default)
L[0]	Output	PIN_127	7	B7_NO	PIN_144	2.5 V (default)		8mA (default)
RELOJ	Input	PIN_23	1	B1_NO	PIN_23	2.5 V (default)		8mA (default)

Figura.9. Anotación de pines de entrada y de salida.

Una vez cerrado la ventana del “pin planner” se hace click en el botón “start compilation” del menú de la barra superior.

Posteriormente hacer click en el botón programmer, de la misma barra superior, para iniciar la programación del chip, ver la figura 10.

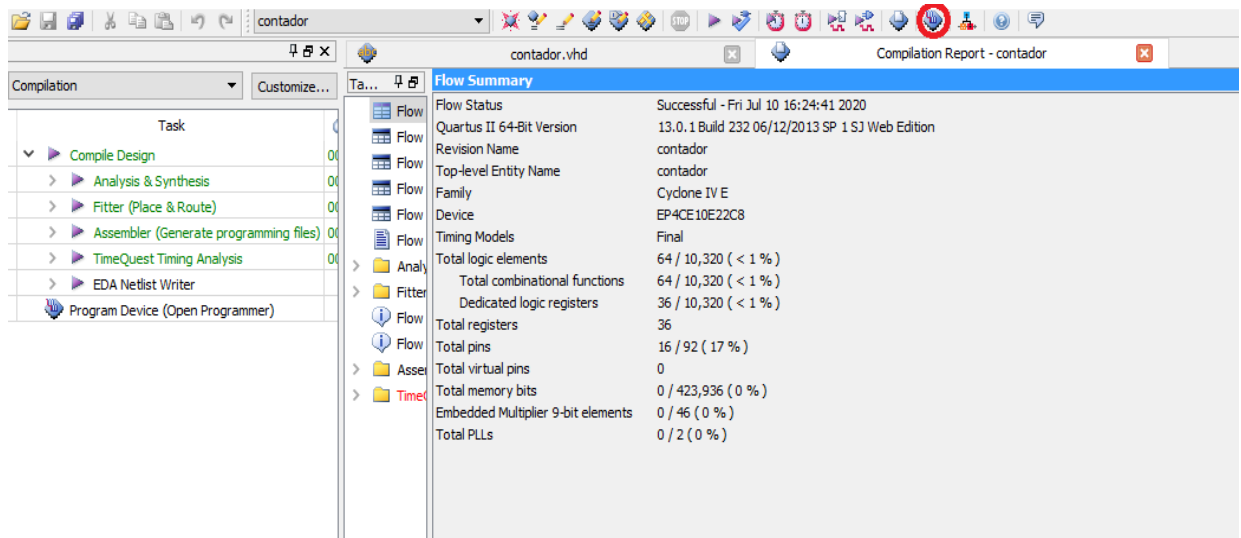


Figura.10. Botón para acceder al programador.

Posteriormente aparecerá el siguiente menú, en donde se debe conectar la tarjeta a la computadora para poder hacer click en el botón de “Add file” y una vez seleccionado el archivo punto .sof de la carpeta “output” files se debe hacer click en el botón “start”, para iniciar la programación del FPGA. Ver figura 11.

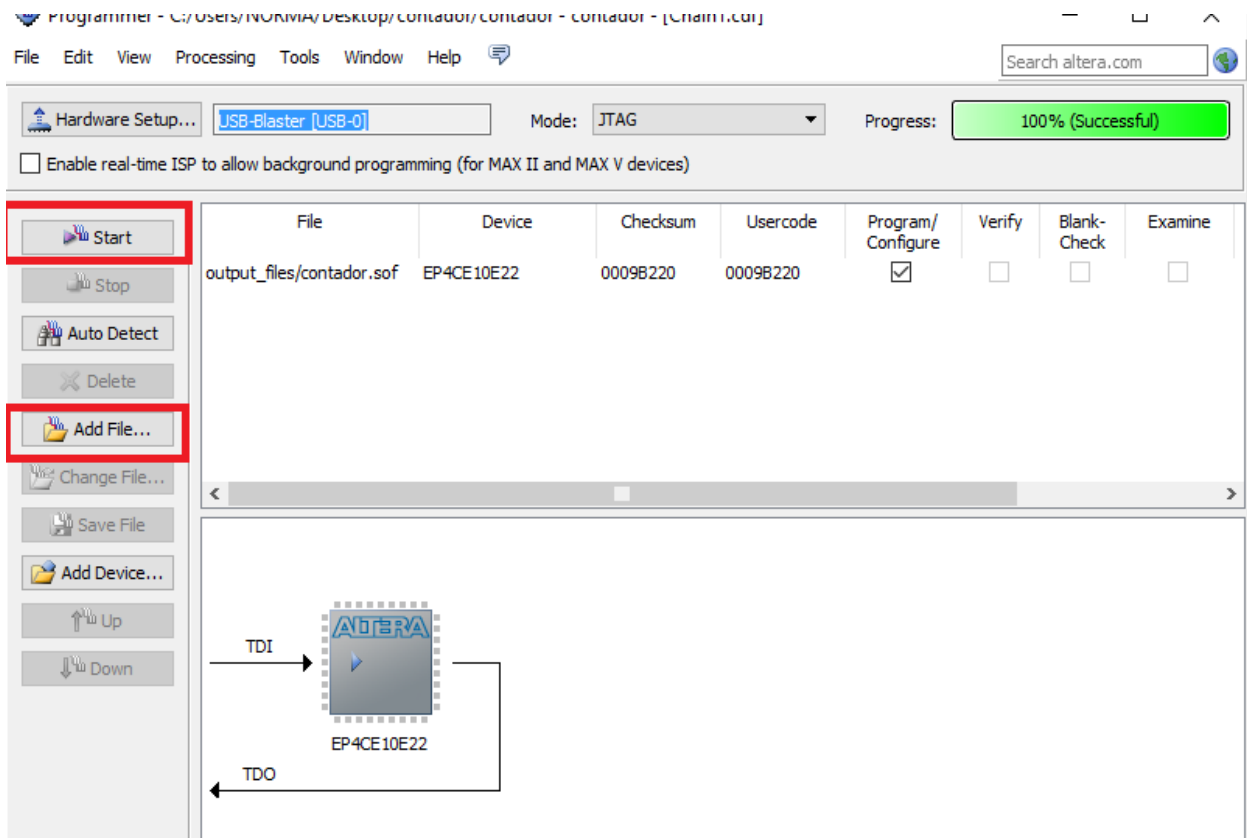


Figura 11. Programmer Editor

Posteriormente se puede visualizar el proyecto dentro de la tarjeta como lo muestra la figura 12



Figura 12. Contadores trabajando dentro de la tarjeta

<https://www.youtube.com/watch?v=UoTFQZjwsGU&feature=youtu.be>

https://www.youtube.com/watch?v=ju4zYQN_xeQ