

PRÁCTICA 6

Diseño de selectores binarios

OBJETIVO:

El alumno aprenderá el manejo del flujo de datos en un multiplexor o selector.

También aprenderá la instrucción "CASE" dentro de un proceso.

ESPECIFICACIONES:

Diseñar un circuito multiplexor que tenga dos líneas de control para seleccionar el paso de cuatro datos binarios de un bit.

DIAGRAMA DE BLOQUES:

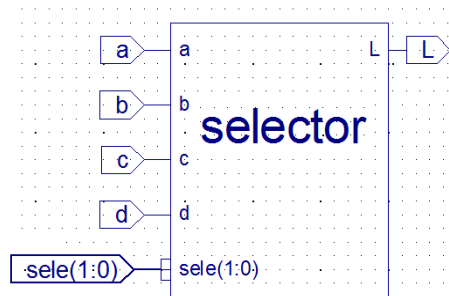


TABLA DE VERDAD:

sele	L
0 0	a
0 1	b
1 0	c
1 1	d

El código en lenguaje VHDL es:

```
library IEEE;
use IEEE.std_logic_1164.ALL;
use IEEE.std_logic_arith.ALL;
use IEEE.std_logic_unsigned.ALL;
entity selector is
  Port (sele: in STD_LOGIC_VECTOR (1 downto 0);
        a, b, c, d : in STD_LOGIC;
        L : out STD_LOGIC);
end selector;

architecture Behavioral of selector is
begin
  process (sele)
  BEGIN
  case sele IS
  when "00" => L <= a;
  when "01"=> L <= b;
  when "10" => L <= c ;
  when others => L <= d;
  end case;
  end process;
end Behavioral;
```

RESULTADOS:

Si las líneas de control se ponen en "00" únicamente el dato de la línea A, pasa a la salida, los demás datos quedan desactivados. Ver la siguiente figura:



Si las líneas de control se ponen en "01" únicamente el dato de la línea B pasa a la salida, los demás datos quedan desactivados. Ver la siguiente figura:



Si las líneas de control se ponen en "10" únicamente el dato de la línea C pasa a la salida, los demás datos quedan desactivados. Ver la siguiente figura:



Si las líneas de control se ponen en "11" únicamente el dato de la línea D pasa a la salida, los demás datos quedan desactivados. Ver la siguiente figura

