

LABORATORIO DE DISEÑO DIGITAL MODERNO

Descripción y manejo de bloques funcionales.

Práctica 3

Profesora: M.I. Norma Elva Chávez Rodríguez.

OBJETIVO:

El alumno aprenderá que para el manejo de bloques funcionales se utilizan sentencias concurrentes, las cuales se ejecutan simultáneamente, por lo que las acciones en cada bloque se efectúan al mismo tiempo y no existe una prioridad entre uno y otro bloque.

ACTIVIDADES:

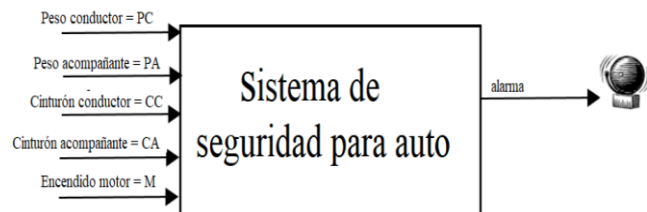
Diseñar un sistema de alarma para automóviles.

ESPECIFICACIONES:

Diseño y construcción de una alarma para automóvil la cual se activa cuando el conductor y/o su acompañante, están sentados en sus asientos, no se han abrochado el cinturón de seguridad y el motor está encendido.

Cada uno de los asientos delanteros del automóvil deberá tener un sensor de peso el cual activa una señal cuando en ellos se tienen 10 kilos o más, los cinturones delanteros tienen sensores para saber si están o no puestos y el motor al encender activa otro sensor.

DIAGRAMA DE BLOQUES:



En el diagrama de bloques se observa que se tienen 5 variables de entrada, por lo que la tabla de verdad requerida maneja $2^5 = 32$ combinaciones. Una forma de simplificar el trabajo es dividiendo el sistema en bloques funcionales.

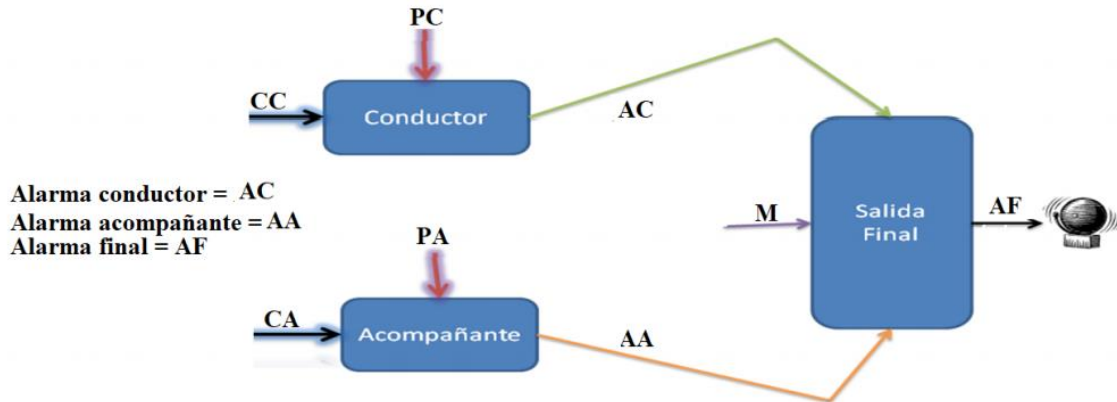
LABORATORIO DE DISEÑO DIGITAL MODERNO

Descripción y manejo de bloques funcionales.

Práctica 3

Profesora: M.I. Norma Elva Chávez Rodríguez.

DIAGRAMA DE BLOQUES FUNCIONALES:



Se siguen teniendo las cinco entradas, pero ahora se tiene que tomar en cuenta las señales que sirven para unir un bloque del otro. Las señales que se tiene son dos (AA, AC) y se declaran en la parte de la arquitectura antes de su begin. Posterior al begin de la arquitectura se debe escribir el código de los tres bloques funcionales, los cuales manejan una tabla de verdad cada uno. A continuación se analizan las tres tablas de verdad:

TABLAS DE VERDAD:

Tabla de verdad conductor

PcCc	Ac
00	0
01	0
10	1
11	0

Tabla de verdad acompañante

PaCa	Aa
00	0
01	0
10	1
11	0

Tabla de verdad salida final

MAcAa	Af
000	0
001	0
010	0
011	0
100	0
101	1
110	1
111	1

LABORATORIO DE DISEÑO DIGITAL MODERNO

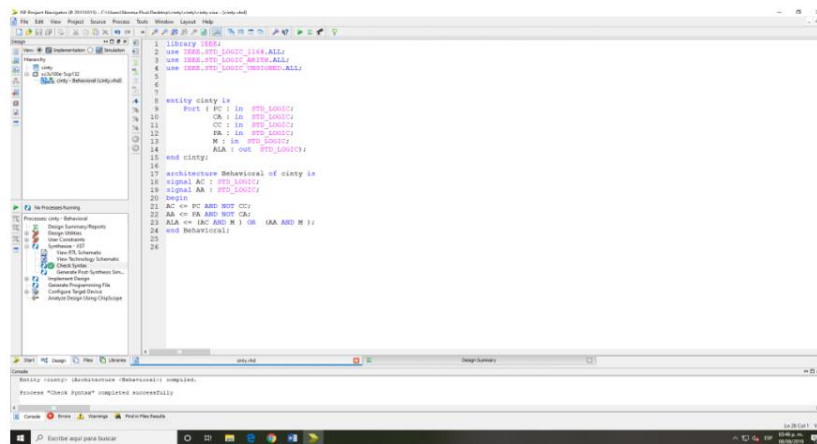
Descripción y manejo de bloques funcionales.

Práctica 3

Profesora: M.I. Norma Elva Chávez Rodríguez.

Las entradas y salidas se declaran en la entidad, respecto a las líneas que unen un bloque del otro, son llamadas señales y se declaran en la arquitectura, antes de su begin, que es la parte declaratoria de la arquitectura.

CÓDIGO EN LENGUAJE VHDL:



```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3 use IEEE.STD_LOGIC_ARITH.ALL;
4 use IEEE.STD_LOGIC_RESERVED.ALL;
5
6
7
8 entity ciety is
9     Port ( PC : in  STD_LOGIC;
10          CA : in  STD_LOGIC;
11          CC : in  STD_LOGIC;
12          PA : in  STD_LOGIC;
13          AA : in  STD_LOGIC;
14          AA2 : out STD_LOGIC;
15 end ciety;
16
17 architecture Behavioral of ciety is
18     signal AC : STD_LOGIC;
19     signal AB : STD_LOGIC;
20 begin
21     AC <= PC AND NOT CC;
22     AB <= PA AND NOT CA;
23     AA2 <= (AC AND M) OR (AA AND M);
24 end Behavioral;
25
26
```

Algunas veces se tienen proyectos que no pueden ser divididos en bloques funcionales.

ESPECIFICACIONES:

Selección de Proyectos de una Empresa

Una empresa desea apoyar la creación de proyectos, cuatro personas son las que deciden el hacerlo o no. El porcentaje de apoyo es Director (D) = 40%, Secretario (S) = 30%, Administrador (A) = 20%, Jefe de Proyectos (J) = 10%.

Si el porcentaje de apoyo es mayor al 50% se considera aceptado el proyecto, si no es eliminado. Diseñar un circuito que muestre en un display de 7 segmentos el resultado, transparente de la votación. Con una A cuando sea **Aceptado el Proyecto** y una E cuando este sea **Eliminado**.

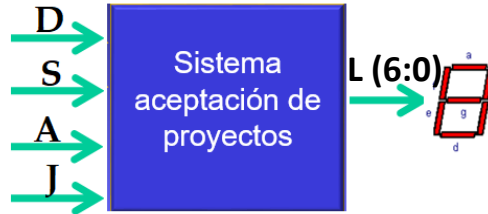
LABORATORIO DE DISEÑO DIGITAL MODERNO

Descripción y manejo de bloques funcionales.

Práctica 3

Profesora: M.I. Norma Elva Chávez Rodríguez.

DIAGRAMA DE BLOQUES:



La asignación de variables a cada uno de los siete segmentos del display y la tabla de verdad utilizando **lógica negada** correspondiente a este sistema se observa en la siguiente tabla de verdad.

TABLA DE VERDAD:

DSAJ	GFEDCBA
0000	1000000
0111	0001000
1010	0001000
1011	0001000
1100	0001000
1101	0001000
1110	0001000
1111	0001000
When others	0000110

El manejo de la tabla de verdad se asocia a un vector de entrada de cuatro bits A [3:0] en el cual se asigna al Director el valor A₃, al Secretario el valor A₂, al Administrador el valor A₁ y al Jefe de Proyectos el valor A₀, la salida es L (6:0).

LABORATORIO DE DISEÑO DIGITAL MODERNO

Descripción y manejo de bloques funcionales.

Práctica 3

Profesora: M.I. Norma Elva Chávez Rodríguez.

CÓDIGO EN LENGUAJE VHDL:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity tabla is
    Port ( A : in  STD_LOGIC_VECTOR (2 downto 0);
          L : out STD_LOGIC_VECTOR (6 downto 0));
end tabla;
architecture Behavioral of tabla is
begin
    with A select
    L <= "1000000" when "0000",
        "0001000" when "0111",
        "0001000" when "1010",
        "0001000" when "1011",
        "0001000" when "1100",
        "0001000" when "1101",
        "0001000" when "1110",
        "0001000" when "1111",
        "0000110" when others;
    with A select
    An <= "11111110" when "0000",
        "11111110"when others;
end Behavioral;
```

LABORATORIO DE DISEÑO DIGITAL MODERNO

Descripción y manejo de bloques funcionales.

Práctica 3

Profesora: M.I. Norma Elva Chávez Rodríguez.

FOTOGRAFÍAS DEL SISTEMA IMPLEMENTADO EN UNA TARJETA FPGA:

