

UNIVERSIDAD NACIONAL AUTONOMA DE MÉXICO.

FACULTAD DE INGENIERÍA.



LABORATORIO DE DISEÑO DE SISTEMAS DIGITALES.

REPORTE DE PRÁCTICA.

Diseño y construcción de una ALU (Unidad Aritmética Lógica)

ALUMNOS:

IVAN GALICIA VERGARA Y JUAN LUIS ACOSTA C.

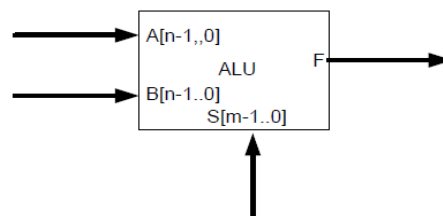
PROFESOR:

M.I. NORMA ELVA CHÁVEZ RODRÍGUEZ.

ALU (Unidad Aritmética Lógica)

Objetivo. Diseño y construcción de un ALU que por sus siglas en inglés significa Unidad Aritmética Lógica.

Introducción. En computación, la unidad aritmético lógica, también conocida como ALU (siglas en inglés de arithmetic logic unit), es un circuito digital que calcula operaciones aritméticas (como suma, resta, multiplicación, etc.) y operaciones lógicas (on-off, 1-0), entre dos números. Muchos tipos de circuitos electrónicos necesitan realizar algún tipo de operación aritmética, así que incluso el circuito dentro de un reloj digital tendrá una ALU minúscula que se mantiene sumando 1 al tiempo actual, y se mantiene comprobando si debe activar el sonido de la alarma, etc.



A,B son datos de entrada de n bits
S es entrada de control, con 2^m operaciones
F es la salida

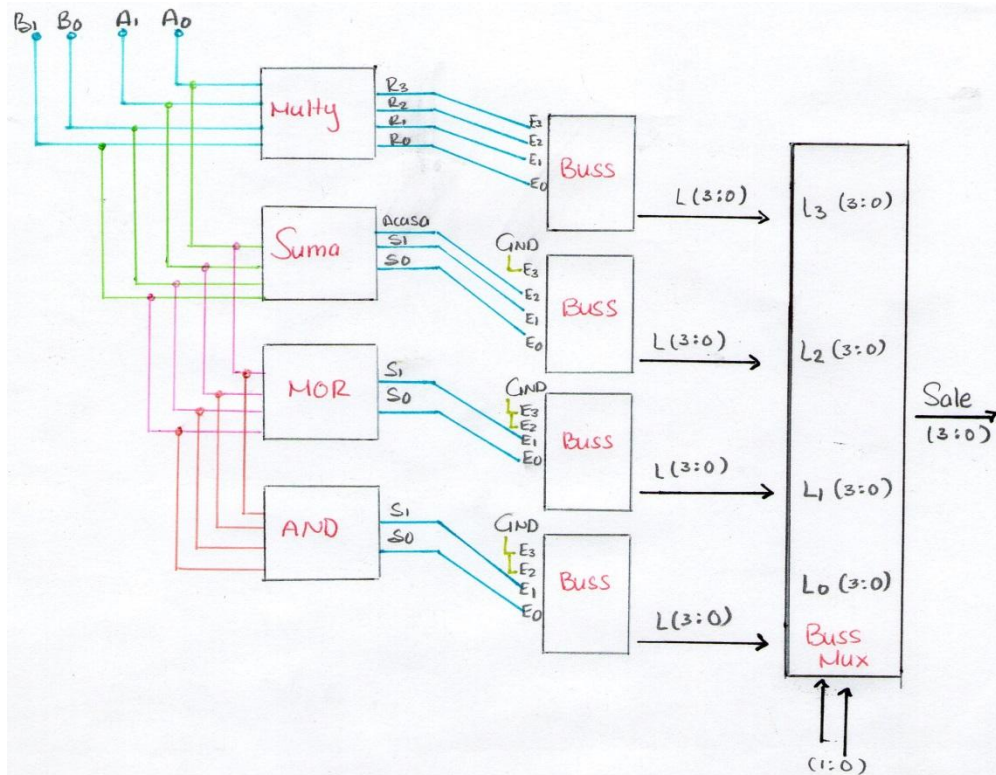
Especificaciones. Diseño y construcción de un sistema que consta de cuatro bloques funcionales, 2 aritméticos (Multiplicador binario y sumador binario) y dos lógicos (Operación AND y OR).

El ALU se compondrá de:

- Multiplicación Binaria
- Suma Binaria
- Suma Booleana (OR)
- Multiplicación Booleana (AND)

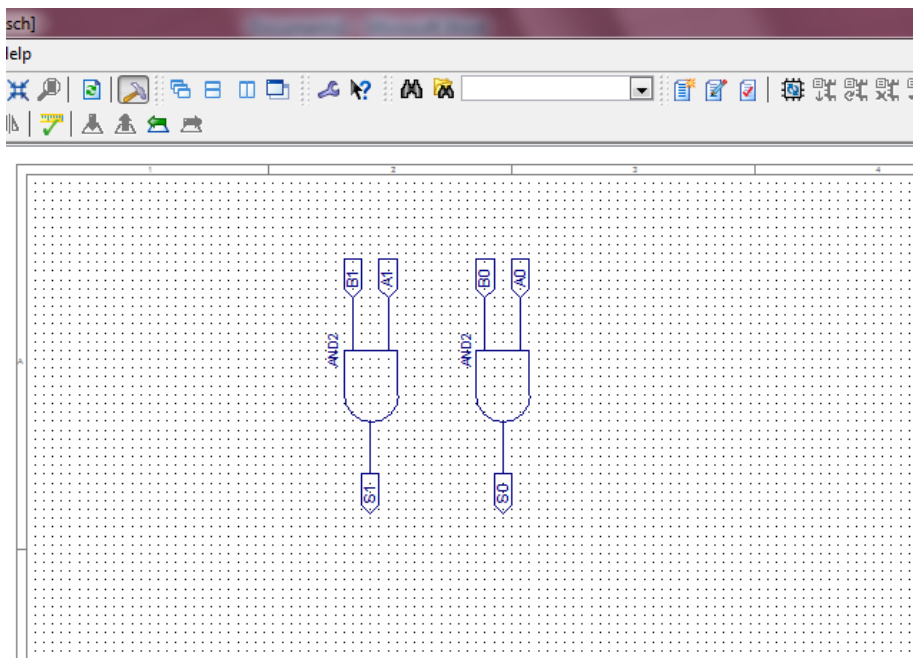
Dichas operaciones se realizarán con dos números binarios, cada uno con dos bits.

Diagrama de bloques.

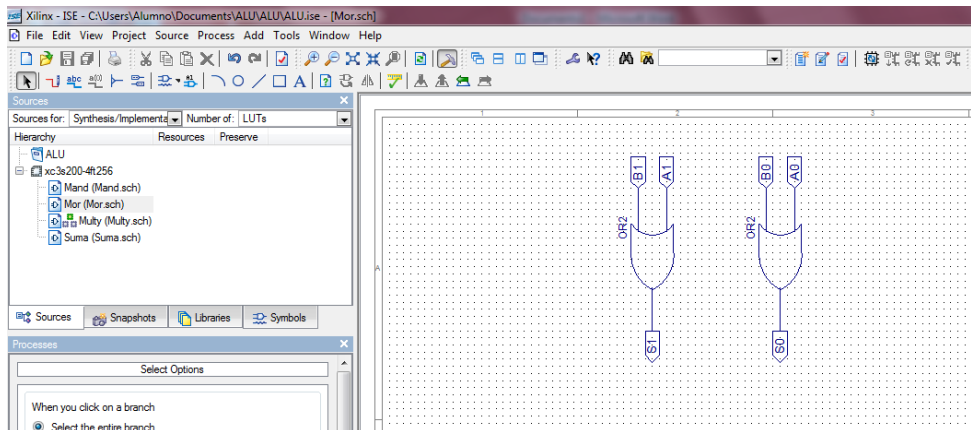


Después de obtener el objetivo, especificaciones y diagrama de bloques del ALU (Unidad Aritmética Lógica) procedemos a crear el modelo esquemático del mismo con el software Xilinx-ISE, creando cada uno de los bloques por separado como se muestra a continuación.

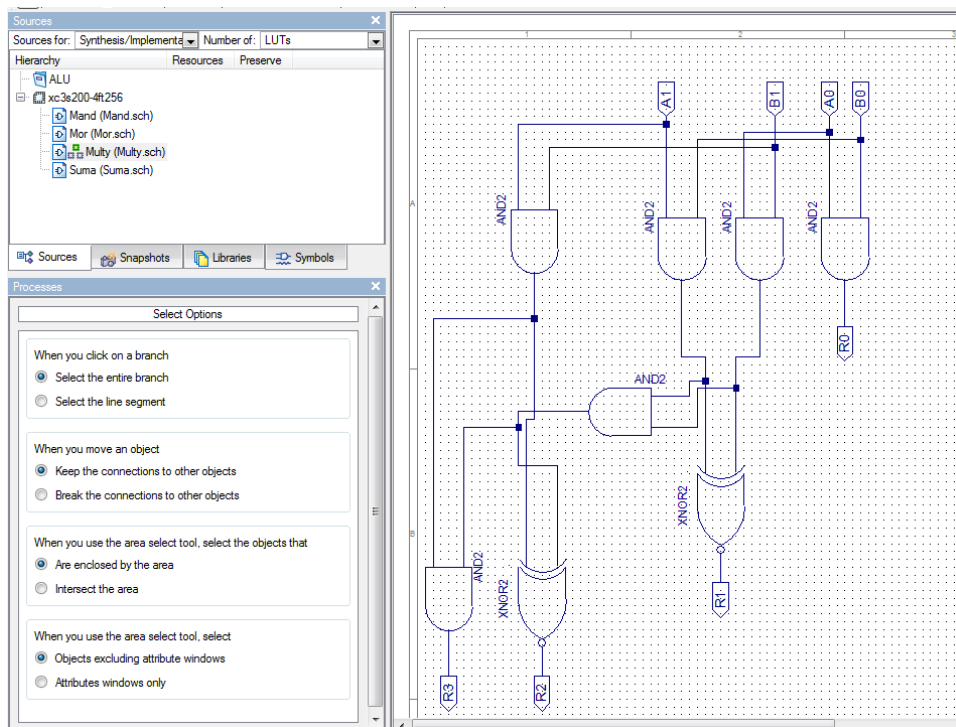
Bloque esquemático AND



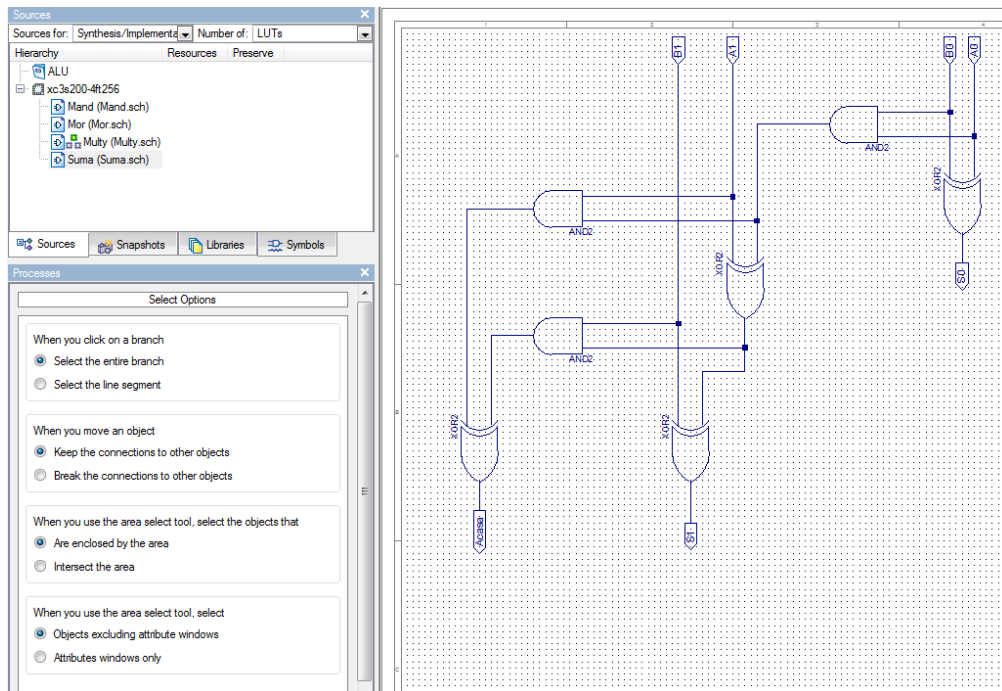
Bloque esquemático OR



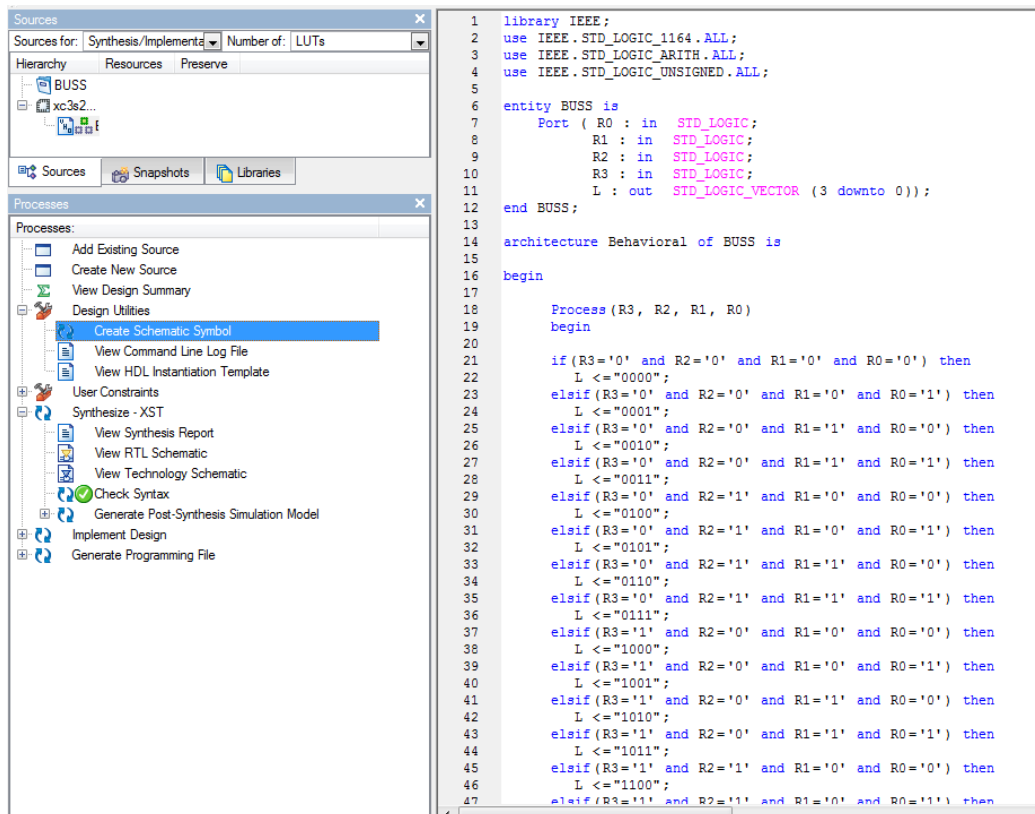
Bloque esquemático MULTY



Bloque esquemático SUMA



Bloque esquemático BUSS



BUSMUXY (VHD Module)

Sources

Sources for: Synthesis/Implementation Number of: LUTs

Hierarchy

- xc3s200-4n256
 - BUSMUXY - Behavioral (BUSMUXY.vhd)
 - BUSS - Behavioral (BUSS.vhd)
 - Mand (C:/Users/Alumno/Documents/ALU/ALU/Mand.sch)
 - Mor (C:/Users/Alumno/Documents/ALU/ALU/Mor.sch)
 - Multy (C:/Users/Alumno/Documents/ALU/ALU/Multy.sch)
 - Suma (C:/Users/Alumno/Documents/ALU/ALU/Suma.sch)
 - TOP (TOP.sch)

Sources Snapshots Libraries

Processes

Processes:

- Add Existing Source
- Create New Source
- Design Utilities
- Check Syntax

```

1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.STD_LOGIC_ARITH.ALL;
4  use IEEE.STD_LOGIC_UNSIGNED.ALL;
5
6  entity BUSMUXY is
7      Port ( L0 : in  STD_LOGIC_VECTOR (3 downto 0);
8            L1 : in  STD_LOGIC_VECTOR (3 downto 0);
9            L2 : in  STD_LOGIC_VECTOR (3 downto 0);
10           L3 : in  STD_LOGIC_VECTOR (3 downto 0);
11           Z : out  STD_LOGIC_VECTOR (3 downto 0);
12           Sele : in  STD_LOGIC_VECTOR (1 downto 0));
13  end BUSMUXY;
14
15  architecture Behavioral of BUSMUXY is
16
17  begin
18
19      Process(Sele)
20      begin
21
22          case Sele is
23
24              when "00" =>
25                  Z <= L0;
26              when "01" =>
27                  Z <= L1;
28              when "10" =>
29                  Z <= L2;
30              when others "11" =>
31                  Z <= L3;
32
33          end case;
34      end process;
35
36  end Behavioral;
37
38
            
```

Unión de bloques funcionales

Xilinx - ISE - C:\Users\Alumno\Desktop\ALU\MULTI\MULTI.sch - [TOP.sch]

File Edit View Project Source Process Add Tools Window Help

Sources

Categories

<- All Symbols ->

Alumno\Documents\ALU\MULTI

Symbols (that begin with MOR)

MOR

Symbol Name Filter

MOR

Orientation

Rotate 0

Symbol Info

Sources Snapshots Libraries Symbols

Processes

Add I/O Marker Options

When you click near the end of a branch, what do you want to do

- ☒ Add an automatic marker
- ☐ Add an input marker
- ☐ Add an output marker
- ☐ Add a bidirectional marker
- ☐ Remove the marker

When you add an I/O marker, set its orientation so its direction from its connection point is to the

Automatic

Processes Options

Design Summary BUSS.vhd BUSMUXY.vhd TOP.sch

Process "Creating Schematic" completed successfully

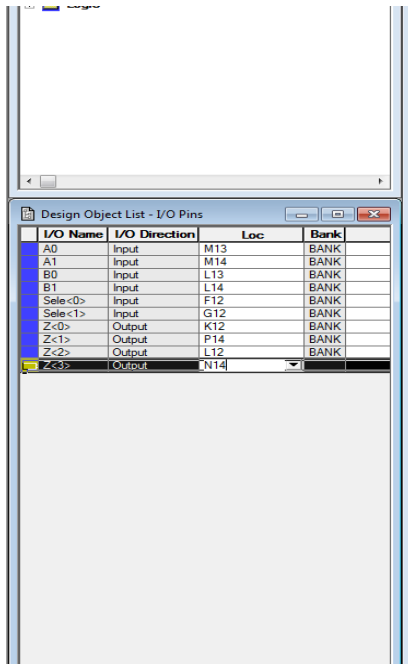
Started : "Launching Schematic Editor to edit TOP.sch".

Console Errors Warnings Tcl Console Find in Files

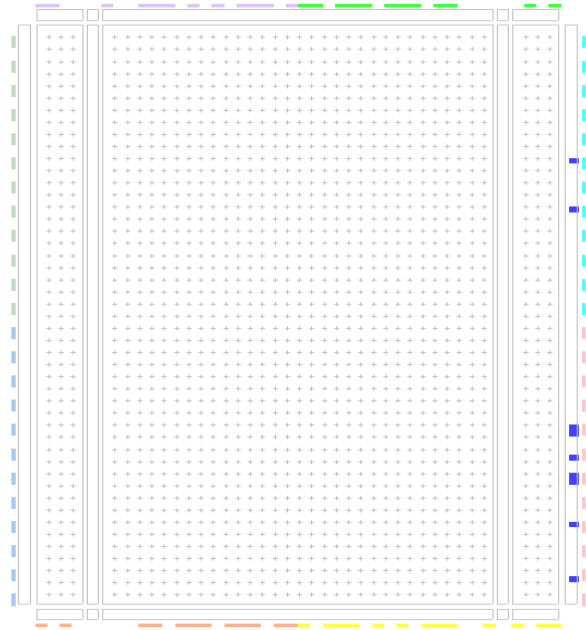
[2644,1088]

11:57 a.m. 27/03/2014

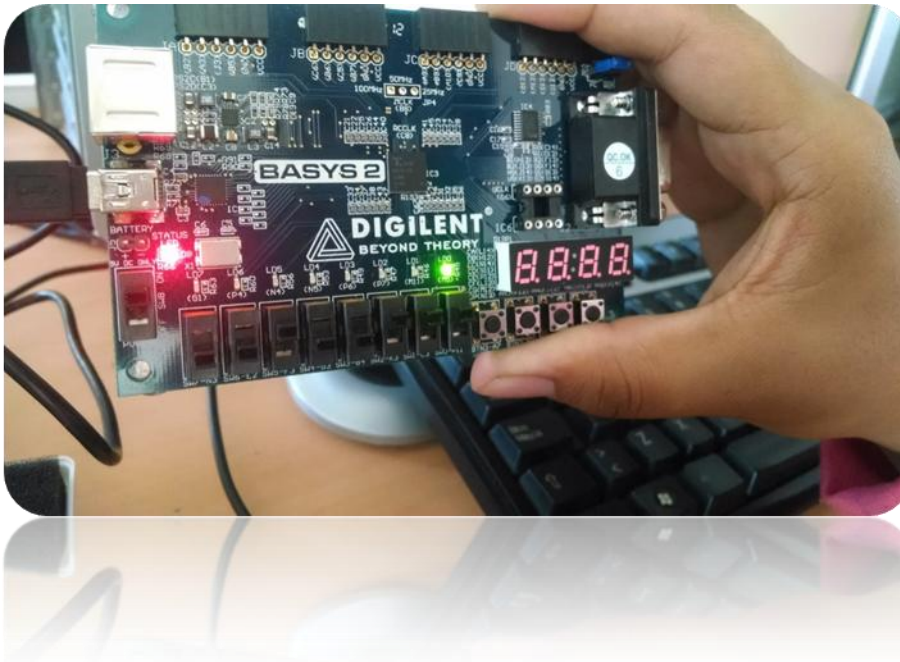
Una vez creados los módulos revisamos la sintaxis y creamos el símbolo esquemático de cada uno, para posteriormente pasar a la asignación de los datos de la tarjeta (Spartan-3 Starter Kit Board) que utilizaremos y probar la ALU (Unidad Aritmética Lógica) que hemos creado.

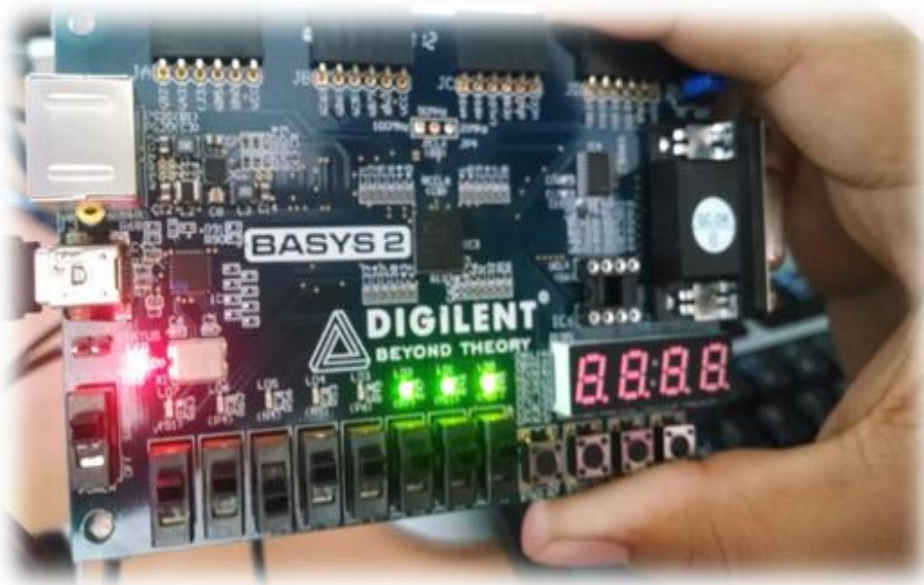


I/O Name	I/O Direction	Loc	Bank
A0	Input	M13	BANK
A1	Input	M14	BANK
B0	Input	L13	BANK
B1	Input	L14	BANK
Sele<0>	Input	F12	BANK
Sele<1>	Input	G12	BANK
Z<0>	Output	K12	BANK
Z<1>	Output	P14	BANK
Z<2>	Output	L12	BANK
Z<3>	Output	N14	BANK



Resultados obtenidos.





Conclusiones.

VHDL es un lenguaje que permite el uso de herramientas con tecnología moderna, ejemplo de esto es la tarjeta programable SPARTAN-3 que facilita el diseño de sistemas digitales (como se pudo apreciar en esta práctica) nos ahorro tiempo, y bajo costos pues no requerimos adquirir algún circuito integrado, y esta tarjeta nos servirá para diseñar otros sistemas digitales.