

# LABORATORIO DE DISEÑO DIGITAL MODERNO

## Diseño y construcción de registros de corrimiento

Práctica 10

Profesora: M.I. Norma Elva Chávez Rodríguez.

### OBJETIVO:

El alumno comprenderá el funcionamiento y manejo de los registros de corrimiento utilizando lenguaje VHDL. Además de aprender el manejo de 4 displays de 7 segmentos conectados en forma paralelo mediante hardware y mediante software hacer que cada uno muestre distinta información al mismo tiempo.

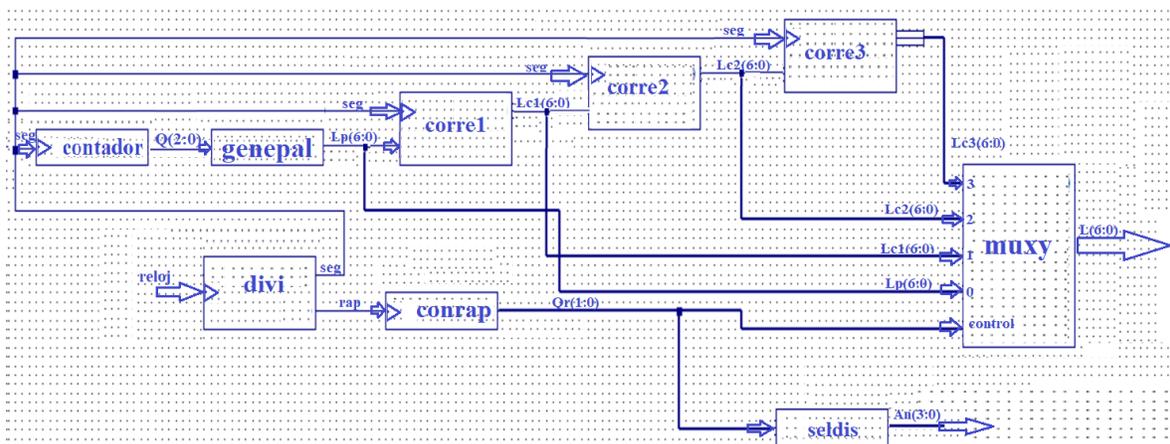
### INTRODUCCIÓN:

Los registros de corrimiento son dispositivos digitales los cuales almacenan información binaria en forma temporal y están compuestos por un conjunto de flip-flop's conectados de tal forma que los números binarios almacenados en él son desplazados de la entrada a la salida con cada pulso de reloj aplicado.

### ESPECIFICACIONES:

Diseñar un sistema que muestre la palabra HOLA, recorriéndose la información en cuatro displays de 7 segmentos.

### DIAGRAMA DE BLOQUES:



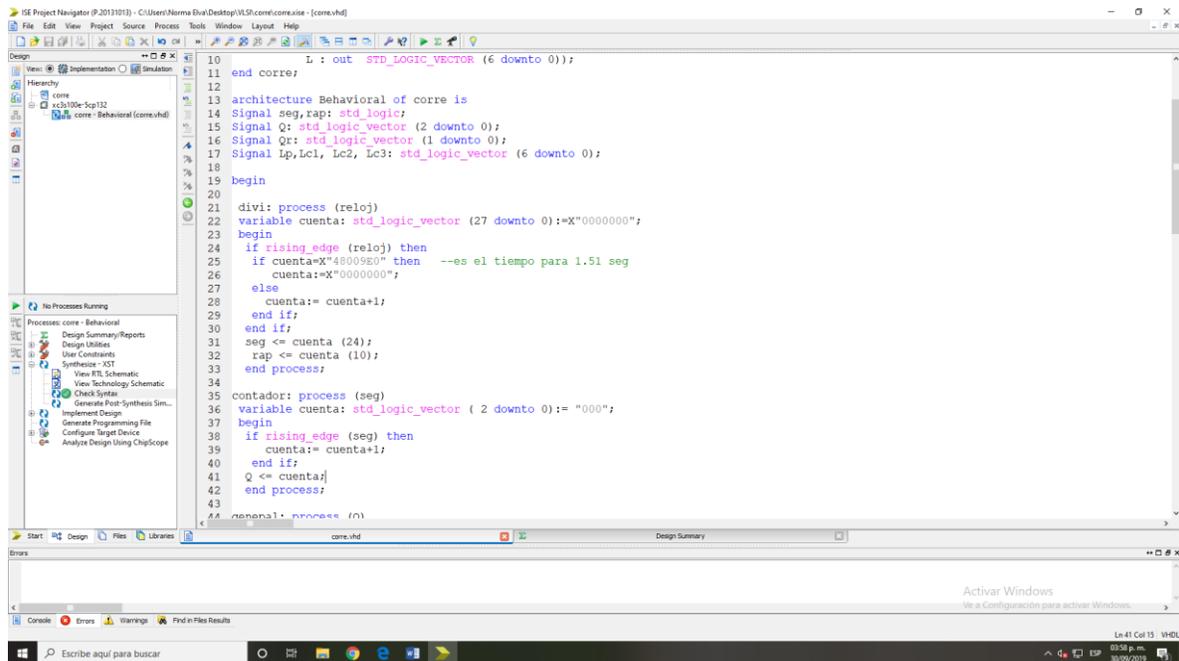
# LABORATORIO DE DISEÑO DIGITAL MODERNO

## Diseño y construcción de registros de corrimiento

### Práctica 10

Profesora: M.I. Norma Elva Chávez Rodríguez.

### CÓDIGO EN LENGUAJE VHDL:



The image shows a screenshot of an IDE (likely Quartus II) displaying VHDL code for a project named 'corre.vhd'. The code is as follows:

```
10 L : out STD_LOGIC_VECTOR (6 downto 0));
11 end corre;
12
13 architecture Behavioral of corre is
14   signal seg, rap: std_logic;
15   signal Q: std_logic_vector (2 downto 0);
16   signal Qr: std_logic_vector (1 downto 0);
17   signal Lp, Lc1, Lc2, Lc3: std_logic_vector (6 downto 0);
18
19 begin
20
21   divi: process (reloj)
22     variable cuenta: std_logic_vector (27 downto 0) := "X"00000000";
23   begin
24     if rising_edge (reloj) then
25       if cuenta="X"4800960" then --es el tiempo para 1.51 seg
26         cuenta:= "X"00000000";
27       else
28         cuenta:= cuenta+1;
29       end if;
30     end if;
31     seg <= cuenta (24);
32     rap <= cuenta (10);
33   end process;
34
35   contador: process (seg)
36     variable cuenta: std_logic_vector ( 2 downto 0) := "000";
37   begin
38     if rising_edge (seg) then
39       cuenta:= cuenta+1;
40     end if;
41     Q <= cuenta;
42   end process;
43
44   general: process (r)
```

# LABORATORIO DE DISEÑO DIGITAL MODERNO

Diseño y construcción de registros de corrimiento

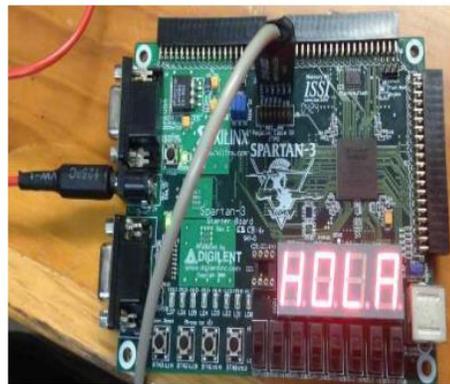
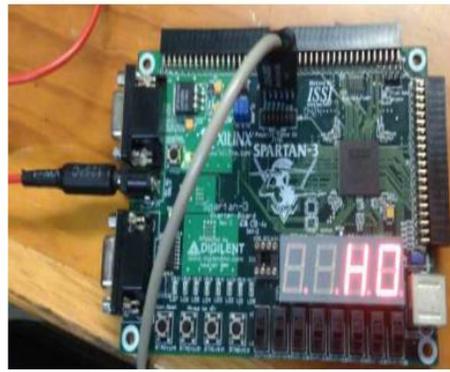
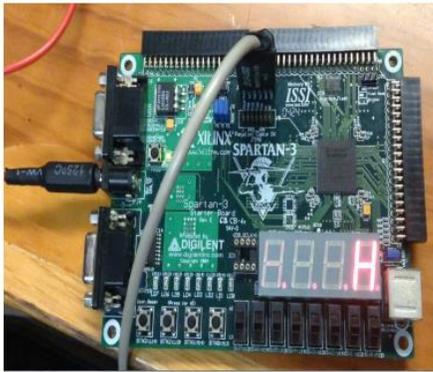
Práctica 10

Profesora: M.I. Norma Elva Chávez Rodríguez.

---

---

RESULTADOS OBTENIDOS:



# LABORATORIO DE DISEÑO DIGITAL MODERNO

Diseño y construcción de registros de corrimiento

Práctica 10

Profesora: M.I. Norma Elva Chávez Rodríguez.

---

---

