



**Universidad Nacional Autónoma de  
México**  
**Facultad de Ingeniería**



Laboratorio de Diseño de Sistemas Digitales Grupo 3

---

Practica 3 (Reporte) :

**DISEÑO Y CONSTRUCCION DE UN MULTIPLEXOR UTILIZANDO UN  
PROCESS Y LA INSTRUCCIÓN CASE**

---

Alumno:

Resendiz Cruz Jorge Eduardo

Profesora:

M. en I. Norma Elva Chávez

Fecha de entrega:

26/Agosto/2013

## 1.- Objetivo:

El alumno aprenderá a diseñar un selector utilizando un process y la instrucción case la cual se utiliza cuando se selecciona una y solo una de las distintas alternativas posibles, además de aprender a enviar caracteres en forma individual a la salida de vectores a la entrada.

## 2.- Desarrollo.

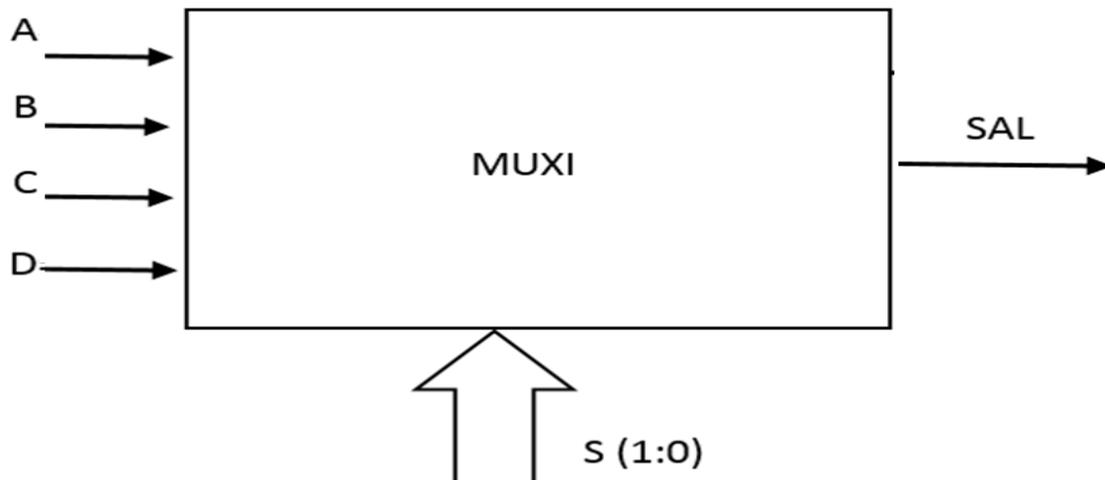
Siguiendo los pasos para el diseño y construcción de algún sistemas digitales se procedió a realizar los siguientes pasos:

### 2.1 Especificaciones.

Se requiere el diseño y construcción de un sistema digital el cual seleccione entre 4 entradas de datos una y solo una a su salida, mediante dos líneas de control.

### 2.2 Diagrama de Bloques

Entradas de datos (A,B,C,D) y las entradas del control de selección viene dado por el vector de dos bits (S) y la salida (SAL)



### 2.3.- Programa

Usualmente en este punto del diseño de un sistema digital viene la implementación del circuito lógico pero, como indica el nombre de la práctica, se utilizó una tarjeta con un chip programable SPARTAN-3 de la compañía Xilinx y el lenguaje de programación utilizado fue VHDL.

A continuación se muestra el código fuente del programa.

```
29 entity muxy is
30     Port ( Sal :out  STD_LOGIC;
31           S : in  STD_LOGIC_VECTOR (1 downto 0);
32           A : in  STD_LOGIC;
33           B : in  STD_LOGIC;
34           C : in  STD_LOGIC;
35           D : in  STD_LOGIC);
36 end muxy;
37
38 architecture Behavioral of muxy is
39
40
41 begin
42     Process(S)
43     begin
44         case S is
45             when "00" =>
46                 Sal<=A;
47             when "01" =>
48                 Sal<=B;
49             when "10" =>
50                 Sal<=C;
51             when others=>
52                 Sal<=D;
53         end case;
54     end process;
55 end Behavioral;
56
57
```

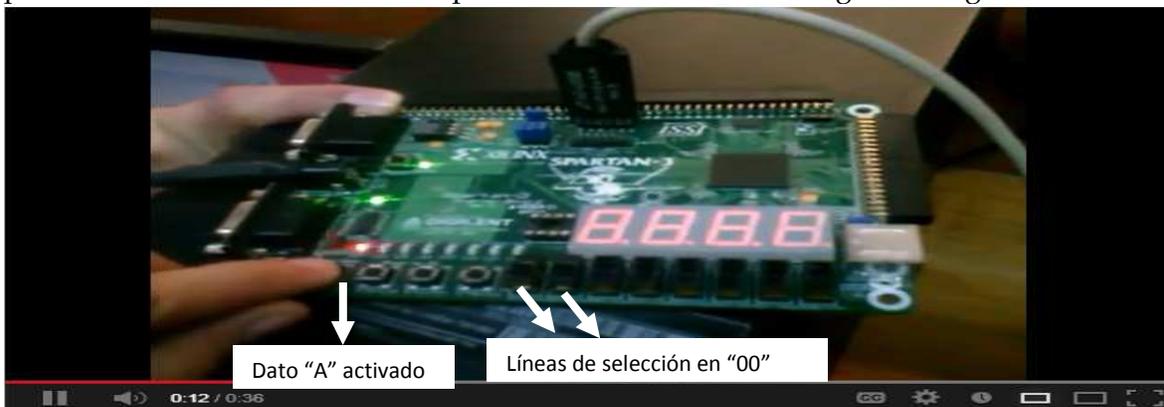
Console

WebTalk is complete.

Process "Generate Programming File" completed successfully

## 2.5 Resultados

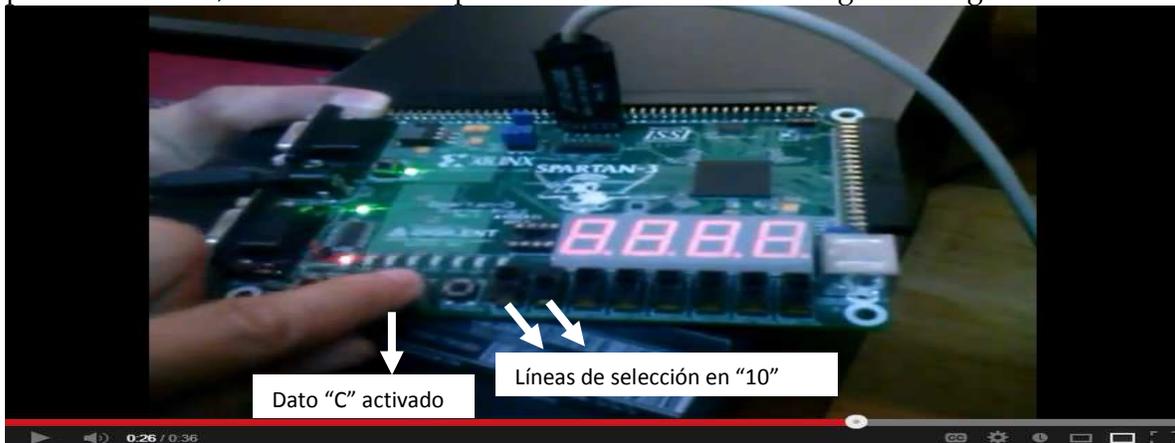
Si las líneas de control se ponen en "00" únicamente los datos de la línea A son los que pasan a la salida, los demás datos quedan desactivados. Ver la siguiente figura



Si las líneas de control se ponen en "01" únicamente los datos de la línea B son los que pasan a la salida, los demás datos quedan desactivados. Ver la siguiente figura



Si las líneas de control se ponen en "10" únicamente los datos de la línea C son los que pasan a la salida, los demás datos quedan desactivados. Ver la siguiente figura



Si las líneas de control se ponen en "11" únicamente los datos de la línea D son los que pasan a la salida, los demás datos quedan desactivados. Ver la siguiente figura



## 2.6 Conclusiones

El lenguaje VHDL y el uso de herramientas modernas como la tarjeta SPARTAN-3 facilita de sobremano el diseño de sistemas digitales (como se pudo apreciar en esta práctica) al no tener que realizar explícitamente el circuito lógico o el circuito eléctrico solo haciendo el programa con las especificaciones requeridas.