

# LABORATORIO DE DISEÑO DIGITAL MODERNO

## Diseño y construcción de un divisor de frecuencia

Práctica 7

Profesora: M.I. Norma Elva Chávez Rodríguez.

---

---

### OBJETIVO:

El alumno aprenderá el diseño y construcción de un divisor de frecuencia y de un contador con corte de cuenta.

### INTRODUCCIÓN:

El alumno aprenderá a diseñar divisores de frecuencia, con el fin de visualizar cualquier sistema secuencial en la tarjeta de desarrollo Spartan 3 la cual tiene un reloj de cristal de 50 Mhz, frecuencia muy rápida para ser detectada por el ojo humano.

Se llama divisor de frecuencia a un dispositivo que produce a su salida una frecuencia menor que la de entrada y suelen estar formados por contadores digitales.

Un contador puede ser construido a partir de biestables y compuertas lógicas. La figura 7.1 muestra un ejemplo de un contador de 3 bits y la figura 7.2 muestra su diagrama de tiempos

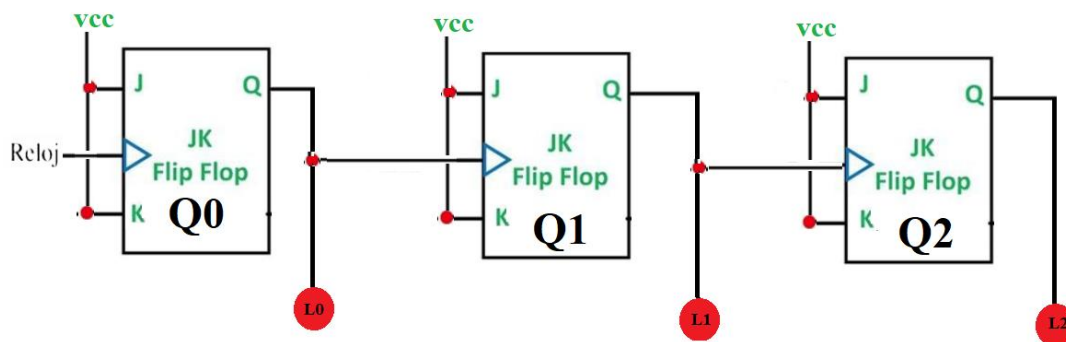


Figura 7.1. Contador construido mediante biestables.

# LABORATORIO DE DISEÑO DIGITAL MODERNO

## Diseño y construcción de un divisor de frecuencia

Práctica 7

Profesora: M.I. Norma Elva Chávez Rodríguez.

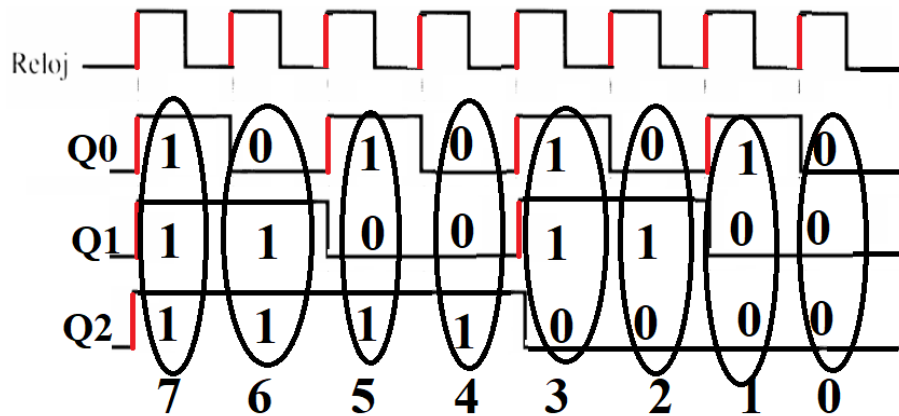


Figura 7.2. Diagrama de tiempos del contador construido mediante biestables.

### ESPECIFICACIONES:

Diseñar un contador de 28 bits, del cual únicamente se tomará en cuenta la salida del bit 26 para utilizarla como el reloj de cualquier diseño secuencial implementado en tarjetas con reloj de 50 Mhz.

Esto hará que la entrada del reloj, tenga un retraso de 226 bits, dando un valor en hexadecimal de 48009E0 asegurando con esto un tiempo de 1.51 segundos entre cada pulso del reloj.

Posteriormente diseñar un contador binario de cuatro bits que cuente del cero al 9.

Para contar del cero al nueve se requiere de un contador de 4 bits, con el que se puede obtener la cuenta del cero al 15 por lo que se requiere que de cada vez que se llegue al número 9 se reinicie la cuenta.

Finalmente se requiere visualizar la cuenta en un display de 7 segmentos y mantener los demás displays de la tarjeta de desarrollo apagados.

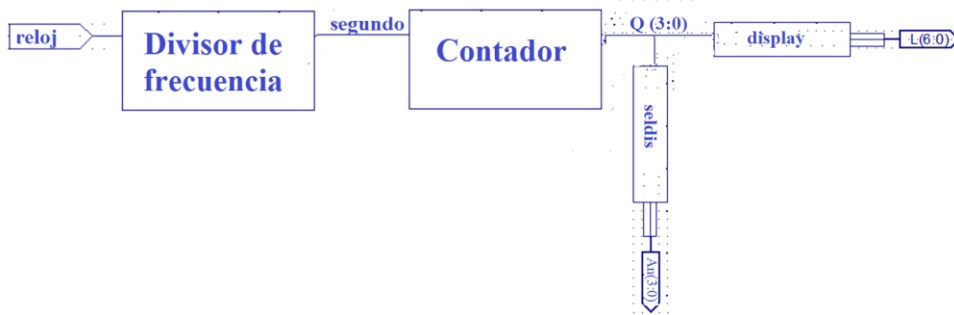
# LABORATORIO DE DISEÑO DIGITAL MODERNO

## Diseño y construcción de un divisor de frecuencia

Práctica 7

Profesora: M.I. Norma Elva Chávez Rodríguez.

### DIAGRAMA DE BLOQUES:



### CÓDIGO EN LENGUAJE VHDL:

```
10 entity conta is
11     port ( reloj : in STD_LOGIC;
12           An : out STD_LOGIC_VECTOR ( 3 downto 0);
13           S : out STD_LOGIC_VECTOR (6 downto 0));
14 end conta;
15
16 architecture Behavioral of conta is
17
18     signal segundo: STD_LOGIC;
19     signal Q: STD_LOGIC_VECTOR (3 downto 0);
20
21     begin
22
23     process (reloj)
24         variable cuenta: std_logic_vector (27 downto 0):="00000000";
25     begin
26         if rising_edge (reloj) then
27             if cuenta="18000000" then --es el tiempo para 1.5s seg
28                 cuenta="00000000";
29             else
30                 cuenta:= cuenta+1;
31             end if;
32         end if;
33         segundo <= cuenta (26);
34     end process;
35
36     process (segundo)
37         variable cuenta: std_logic_vector ( 3 downto 0):="0000";
38     begin
39         if rising_edge (segundo) then
40             if cuenta="0001" then
41                 cuenta:= "0000";
42             else
43                 cuenta:= cuenta+1;
44             end if;
45         end if;
46     end process;
47
48     Q <= cuenta;
49     with Q SELECT
50     L <= "000000" when "0000", --0
51         "1111001" when "0001", --1
52         "0100100" when "0010", --2
53         "0110000" when "0011", --3
54         "0011001" when "0100", --4
55         "0001010" when "0101", --5
56         "0000010" when "0110", --6
57         "1111000" when "0111", --7
```