

# LABORATORIO DE DISEÑO DIGITAL MODERNO

## Manejo de una tabla de verdad dentro de un Procces

Práctica 4

Profesora: M.I. Norma Elva Chávez Rodríguez.

---

---

### OBJETIVO:

El alumno aprenderá el código requerido en lenguaje VHDL para implementar una tabla de verdad utilizando la instrucción secuencial process-case-when y activaciones en bajo.

### INTRODUCCIÓN:

Las instrucciones dentro del process se ejecutan secuencialmente, es decir una detrás de otra. Una arquitectura puede tener tantos procesos como queramos y todos se van a ejecutar al mismo tiempo.

Cuando un proceso (process) se ejecuta y posteriormente se cambia el valor de alguna de las señales dentro de su lista de sensibilidad, se recalculan las salidas.

### ACTIVIDADES:

Diseñar el control de pago de multas, utilizando la instrucción process - case en lenguaje VHDL.

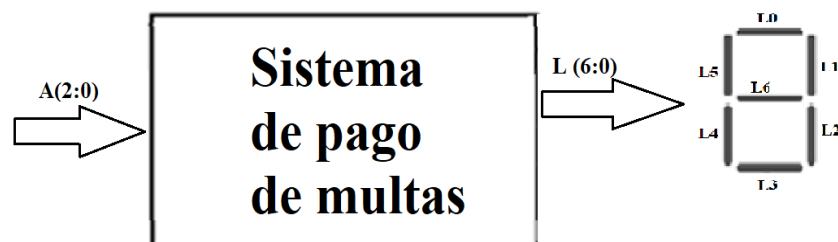
### ESPECIFICACIONES:

Este sistema tiene por entrada la decisión de un jurado compuesto por tres personas ( $A_2$ ,  $A_1$ ,  $A_0$ ) cuyas opiniones valen:  $A_2=45\%$ ,  $A_1=40\%$ ,  $A_0=25\%$ . Un uno lógico a la entrada, significa que ese juez desea que el culpable pague la multa.

Su salida cuenta con un display de 7 segmentos y se verá una P cuando el infractor debe pagar la multa y un cero cuando el infractor no la paga.

La multa se paga cuando el jurado quiere que sea pagada por un 50% o más.

### DIAGRAMA DE BLOQUES:



# LABORATORIO DE DISEÑO DIGITAL MODERNO

## Manejo de una tabla de verdad dentro de un Proceso

Práctica 4

Profesora: M.I. Norma Elva Chávez Rodríguez.

---

---

Los displays de 7 segmentos dentro de las tarjetas de desarrollo utilizadas se activan con lógica negada, lo que significa que para que se encienda algún segmento a este se le debe enviar un cero lógico.

TABLA DE VERDAD:

A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>	L <sub>6</sub> L <sub>5</sub> L <sub>4</sub> L <sub>3</sub> L <sub>2</sub> L <sub>1</sub> L <sub>0</sub>
000	1000000
001	1000000
010	1000000
011	0001100
100	1000000
101	0001100
110	0001100
111	0001100

El código en lenguaje VHDL:

# LABORATORIO DE DISEÑO DIGITAL MODERNO

## Manejo de una tabla de verdad dentro de un Procces

Práctica 4

Profesora: M.I. Norma Elva Chávez Rodríguez.

```
2 library IEEE;
3 use IEEE.STD_LOGIC_1164.ALL;
4 use IEEE.STD_LOGIC_ARITH.ALL;
5 use IEEE.STD_LOGIC_UNSTIONED.ALL;
6
7
8 entity PAGO is
9     Port ( A : in  STD_LOGIC_VECTOR (2 downto 0);
10           L : out STD_LOGIC_vector (6 downto 0));
11 end PAGO;
12
13 architecture Behavioral of PAGO is
14 begin
15     process (A)
16     begin
17         case A is
18             when "000" =>
19                 L <= "1000000";
20             when "001" =>
21                 L <= "1000000";
22             when "010" =>
23                 L <= "1000000";
24             when "011" =>
25                 L <= "1000000";
26             when "100" =>
27                 L <= "0001100";
28             when "101" =>
29                 L <= "1000000";
30             when "110" =>
31                 L <= "0001100";
32             when "111" =>
33                 L <= "0001100";
34             when others =>
35                 L <= "0001100";
36         end case;
37     end process;
38 end Behavioral;
39
```